

PATENT  
89165.0011

Express Mail Label No. EV 325 215 986 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

HOSONO, et al.

Serial No: Not Assigned

Filed: June 20, 2003

For: Non-Volatile Semiconductor  
Memory Device and Electric  
Device With The Same

Art Unit: Not Assigned

Examiner: Not Assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of Japanese patent application No. 2003-117333, which was filed April 22, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: June 20, 2003

By: 

Anthony J. Orler  
Registration No. 41,232  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 4月22日

出 願 番 号  
Application Number:

特願2003-117333

[ST.10/C]:

[JP2003-117333]

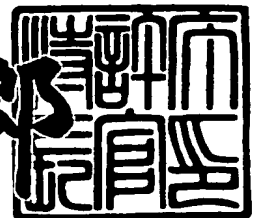
出 願 人  
Applicant(s):

株式会社東芝

2003年 5月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3035096

【書類名】 特許願

【整理番号】 03P011

【提出日】 平成15年 4月22日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 不揮発性半導体記憶装置及びこれを用いた電子装置

【請求項の数】 15

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 細野 浩司

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 中村 寛

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 今宮 賢一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100092820

    【弁理士】

    【氏名又は名称】 伊丹 勝

    【電話番号】 03-5216-2501

【手数料の表示】

    【予納台帳番号】 026893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びこれを用いた電子装置

【特許請求の範囲】

【請求項1】 電氣的書き換え可能な浮遊ゲート型メモリセルが配列されたメモリセルアレイと、

前記メモリセルアレイのデータ読み出しを行うための複数のセンスアンプ回路とを有し、

前記各センスアンプ回路は、前記メモリセルアレイから選択された第1のメモリセルについて、これに隣接し且つこれより後にデータ書き込みがなされる第2のメモリセルのデータに応じて決まる読み出し条件下でセルデータをセンスするように構成されている

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記各センスアンプ回路は、

前記第1のメモリセルの読み出しデータを保持するための第1のラッチ回路と

前記第1のメモリセルの読み出しに先立って前記第2のメモリセルから読み出したデータを参照データとして保持するための第2のラッチ回路と、

ビット線電位のクランプ及びビット線電位の増幅を行うためのクランプトランジスタを介して前記メモリセルアレイのビット線に接続される第1のセンスノードと、

前記第1及び第2のラッチ回路がそれぞれトランスファゲートを介して共通接続される第2のセンスノードと、

前記第1及び第2のセンスノードの間に併設され、前記第2のラッチ回路に保持された前記参照データにより切り換え制御されて、前記第1のメモリセルの第1及び第2の読み出し条件下でのセルデータの一方を選択的に前記第1のラッチ回路に転送するための第1及び第2のデータ転送回路とを有する

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記第1及び第2の読み出し条件は、前記第1のメモリセルに与える読み出し電圧の切り換えにより設定される

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 前記第 1 及び第 2 の読み出し条件は、前記第 1 のメモリセルによるビット線放電時間の差により設定される

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1 のデータ転送回路は、前記第 1 及び第 2 のセンスノードの間に直列接続された、前記第 2 のラッチ回路の第 1 のデータノードによりゲートが制御される第 1 のトランジスタと、データセンス用の第 1 の制御信号によりオン駆動される第 2 のトランジスタとを有し、

前記第 2 のデータ転送回路は、前記第 1 及び第 2 のセンスノードの間に直列接続された、前記第 2 のラッチ回路の第 2 のデータノードによりゲートが制御される第 3 のトランジスタと、前記第 1 の制御信号と異なるタイミングで発生されるデータセンス用の第 2 の制御信号によりオン駆動される第 4 のトランジスタとを有する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 6】 前記各センスアンプ回路は更に、

前記第 1 のセンスノードに接続された、前記メモリセルアレイの選択されたビット線をプリチャージするための第 1 のプリチャージトランジスタと、

前記第 2 のセンスノードに接続された、前記第 2 のセンスノードをプリチャージするための第 2 のプリチャージトランジスタとを有する

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 7】 前記メモリセルアレイは、それぞれ浮遊ゲートと制御ゲートが積層された複数のメモリセルの直列回路、その直列回路の一端とビット線の間に配置された第 1 の選択ゲートトランジスタ及び、他端と共通ソース線の間に配置された第 2 の選択ゲートトランジスタを有する複数の NAND セルユニットを配列して構成されている

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】 前記各 NAND セルユニット内の複数のメモリセルの制御ゲートはそれぞれ異なるワード線に接続され、第 1 及び第 2 の選択ゲートトランジスタのゲートはそれぞれ第 1 及び第 2 の選択ゲート線に接続されている

ことを特徴とする請求項7記載の不揮発性半導体記憶装置。

【請求項9】 前記メモリセルアレイの1ワード線に沿い、それぞれ異なるビット線に接続される複数のメモリセルの範囲は、データの並列読み出し及び並列書き込みの単位である1ページを構成し、

前記複数のセンスアンプ回路は、1ページ分のセルデータをセンスするページバッファを構成する

ことを特徴とする請求項8記載の不揮発性半導体記憶装置。

【請求項10】 請求項1乃至9のいずれかに記載された不揮発性半導体記憶装置と、

前記不揮発性半導体記憶装置に入出力されるデータを一時格納するためのキャッシュと、

前記不揮発性半導体記憶装置の外部から指示されたある書き換え領域のデータ書き換えについて、その書き換え領域の上位アドレス側から順に書き込みが行われるように、前記キャッシュと前記不揮発性半導体記憶装置との間のデータ転送を制御するコントローラと、

を有することを特徴とするメモリシステム。

【請求項11】 前記不揮発性半導体記憶装置は、それぞれデータ一括消去の単位となる複数のセルブロックを有し、

前記キャッシュは、前記各セルブロックの容量以上の容量を持つ記憶領域を有し、

前記コントローラは、前記不揮発性半導体記憶装置のあるセルブロックへの書き込みデータを前記キャッシュに全て格納した後に、その書き込みデータを前記不揮発性半導体記憶装置に転送して、書き込み動作を開始する制御を行うことを特徴とする請求項10記載のメモリシステム。

【請求項12】 請求項1乃至9のいずれかに記載の不揮発性半導体記憶装置が搭載された電子カード。

【請求項13】 請求項10又は11記載のメモリシステムが搭載された電子カード。

【請求項14】 カードインタフェースと、

前記カードインタフェースに接続されたカードスロットと、  
前記カードスロットに電氣的に接続可能な請求項 1 2 又は 1 3 記載の前記電子カードと、  
を有する電子装置。

【請求項 1 5】 前記電子装置は、ディジタルカメラである  
請求項 1 4 記載の電子装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、電氣的書き換え可能な不揮発性半導体記憶装置とこれを用いた電子装置に係り、特に微細化したセルを持つフラッシュメモリの読み出し方式に関する。

【0 0 0 2】

【従来の技術】

現在知られている E E P R O M の多くは、浮遊ゲートに電荷を蓄積するタイプのメモリセルを用いている。その 1 つである N A N D 型フラッシュメモリにおいては、書き込み動作と消去動作の両方に F N トンネル電流を用いたデータ書き換えが行われる。近年では、一つのメモリセルに 2 ビットのデータを記憶する多値記憶技術の導入が実施され始め、物理的に同じセルサイズで記憶容量を 2 倍に増やすことも可能となってきた。

しかし、N A N D 型フラッシュメモリの微細化が進み、メモリセルが高密度化されると、メモリセル間の距離が小さくなり、隣接するセル間の干渉が強くなる（例えば特許文献 1 参照）。これは、セルアレイの横方向のスケーリングによる縮小に比べて、縦方向のスケーリングが難しいためである。

【0 0 0 3】

具体的に図 2 0 を用いて、隣接セル間の干渉の影響を説明する。図 2 0 には、N A N D セル内の隣接する 3 つのメモリセル M C 0 - M C 2 が示されている。メモリセル M C 1 に着目すると、その浮遊ゲート F G 1 は、その上の制御ゲート（ワード線）W L 1 及び直下の基板（チャネル）とに対してそれぞれ容量 C f g w



1, C f g c hにより結合する。セルが微細化されると、この浮遊ゲート F G 1 とこれに隣接するセル M C 0, M C 2 の浮遊ゲート F G 0, F G 2 との間の容量 C f g f g が、容量 C f g w l, C f g c h に対して相対的に増大する。この容量 C f g f g による隣接セルの浮遊ゲート間の結合が、データ読み出し動作に悪影響を与える。

## 【0004】

具体的に、メモリセル M C 1 にデータ書き込みを行い、その後メモリセル M C 2 にデータを書き込みを行う場合を考える。メモリセル M C 1 にデータを書き込む時、隣接メモリセル M C 2 の浮遊ゲート F G 2 は第1の電位を保持しているものとする。またその後のメモリセル M C 2 への書き込みで、その浮遊ゲート F G 2 は第2の電位に変化したとする。メモリセル M C 1 の読み出し動作は、隣接メモリセル M C 2 の浮遊ゲート F G 2 の電位の影響を受けるから、メモリセル M C 2 の書き込み前後で、メモリセル M C 1 のしきい値は変化することになる。

## 【0005】

このようなしきい値変化の影響をより具体的に、図21及び図22を参照して説明する。図21は、4つのメモリセル M C 0-M C 3 を持つ N A N D セルユニットを示している。N A N D セルユニットの一端は選択ゲートトランジスタ S 1 を介してソース線 C E L S R C に、他端は選択ゲートトランジスタ S 1 を介してビット線 B L に接続されている。この N A N D セルユニットに対して、ソース線 C E L S R C 側のメモリセル M C 0 から順にデータ書き込みが行われるものとする。各メモリセルに書かれるデータは、例えば図22に示すようなしきい値分布となる2ビット/セルの4値データ“00”, “01”, “10”, “11”である。

## 【0006】

メモリセル M C 0-M C 3 は書き込みに先立って、全てしきい値のもっとも低い消去状態（データ“11”）にされる。図21に示すように、ソース線 C E L S R C 側のセル M C 0 から順に、ビット線 B L 側のセル M C 3 に向かって、消去状態からしきい値 V a のデータ状態（例えば図22のデータ“00”）に書き込みが行われるものとする。セル M C 0 に書き込みを行うと、その書き込み直後の

しきい値は  $V_a$  になる。次のセル MC 1 がしきい値  $V_a$  に書き込まれると、セル MC 0 のしきい値  $V_a$  は  $V_b$  にシフトしてしまう。書き込み動作は、浮遊ゲートに電子を注入する動作を用いており、書き込み後には浮遊ゲートが負電位側にシフトする。この浮遊ゲートの電位シフトは、隣接するセルに対してそのしきい値を高くする方向に作用する。即ち隣りのセルの浮遊ゲートが負電位側に変化することにより、着目セルのしきい値は上昇する。以下同様に、セル MC 1 に続いてセル MC 2 に書き込みを行うと、セル MC 1 のしきい値は  $V_a$  から  $V_b$  にシフトする。セル MC 3 に書き込みを行うと、セル MC 2 のしきい値も  $V_a$  から  $V_b$  にシフトする。セル MC 3 の書き込みしきい値は、その隣りが選択トランジスタ S 2 であるのでしきい値変化がなく、 $V_a$  のままとなる。

【0007】

図 2 1 では、全てのセルに順次同じデータを書き込む場合を説明した。実際のデータ書き込みでは、隣りのメモリセルにしきい値を変動させるような書き込みがない場合も含まれる。従って、図 2 2 のデータ“00”に着目したとき、隣接セルからの干渉がなければしきい値分布幅が  $V_{tw1}$  であるところ、隣接セルの干渉により、それが  $V_{tw2}$  に広がってしまう。

【0008】

図 2 2 には、隣接セルの干渉が小さい場合と大きい場合のしきい値分布を併せて示しているが、隣接セルの干渉が大きくなると、具体的には次のような問題が発生する。第 1 に、個々のデータのしきい値分布が隣接セルの干渉で拡がると、確実なデータ読み出しを保証するためには、各データのしきい値分布の間を拡げることが必要になる。そのためには各データの書き込みしきい値を上げることが必要になるが、その結果として、消去状態のしきい値と最も高い書き込み状態のしきい値との差が大きくなる。そうすると、隣接セルのフローティングゲートの電位変化が大きくなって、それぞれのしきい値分布が拡げられるという悪循環に陥る。第 2 に、読み出し時に非選択ワード線のメモリセルを強制的にオンさせるための読み出しパス電圧  $V_{read}$  がより高くなって、読み出し動作が問題になる。

【0009】

このようなメモリセル間の相互干渉の影響を抑えるためには、メモリセルのデータしきい値分布ができるだけ狭くなるように書き込むという対策が現実的である。しかしこれはNAND型フラッシュメモリの書き込み時間を長くしてしまう。即ちNAND型フラッシュメモリでは、データ書き込みは、書き込みパルス印加動作とその後の書き込みベリファイ動作を、書き込みパルス電圧を少しずつ上げながら繰り返し実行されている。これはメモリセルの書き込み特性のばらつきを考慮した結果である。しきい値分布を狭くするためには、書き込みパルス電圧の上昇分を小さくする必要があるが、これが書き込みサイクル数の増加をもたらし、書き込み時間を長くする。

【0010】

【特許文献1】

特開2001-267537公報

【0011】

【発明が解決しようとする課題】

以上のように、フラッシュメモリでは、セルの微細化が進むにつれて、セル間の干渉、具体的には浮遊ゲート間の容量結合による書き込みしきい値の変動が大きくなるという問題がある。

この発明は、読み出し条件によってセル間の干渉の影響を低減した不揮発性半導体記憶装置とこれを用いた電子装置を提供することを目的としている。

【0012】

【課題を解決するための手段】

この発明による不揮発性半導体記憶装置は、電氣的書き換え可能な浮遊ゲート型メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うための複数のセンスアンプ回路とを有し、前記各センスアンプ回路は、前記メモリセルアレイから選択された第1のメモリセルについて、これに隣接し且つこれより後にデータ書き込みがなされる第2のメモリセルのデータに応じて決まる読み出し条件下でセルデータをセンスするように構成されていることを特徴とする。

【0013】

## 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

## 【実施の形態 1】

図 1 は、実施の形態による NAND 型フラッシュメモリの構成を示すブロック図である。メモリセルアレイ 1 は、後に説明するように、複数の浮遊ゲート型メモリセル MC をマトリクス配列して構成される。ロウデコーダ/ワード線ドライバ 2 a は、メモリセルアレイ 1 のワード線及び選択ゲート線を駆動する。読み出し/書き込み回路 3 は、1 ページ分のセンスアンプ回路とデータ保持回路を備えて、メモリセルアレイ 1 のページ単位のデータ読み出し及び書き込みを行うページバッファである。

## 【0014】

ページバッファ 3 の 1 ページ分の読み出しデータは、カラムデコーダ 2 b により順次カラム選択されて、I/O バッファ 9 を介して外部 I/O 端子に出力される。I/O 端子から供給される書き込みデータは、カラムデコーダ 2 b により選択されてページバッファ 3 にロードされる。ページバッファ 3 には 1 ページ分の書き込みデータがロードされる。ロウ及びカラムアドレス信号は I/O バッファ 9 を介して入力され、それぞれ、ロウデコーダ 2 a 及びカラムデコーダ 2 b に転送される。ロウアドレスレジスタ 5 a は、消去動作では、消去ブロックアドレスを保持し、書き込みや読み出し動作ではページアドレスを保持する。カラムアドレスレジスタ 5 b には、書き込み動作開始前の書き込みデータロードのための先頭カラムアドレスや、読み出し動作のための先頭カラムアドレスが入力される。書き込みイネーブル/WE や読み出しイネーブル/RE が、所定の条件でトグルされるまで、カラムアドレスレジスタ 5 b は入力されたカラムアドレスを保持する。

## 【0015】

ロジック制御回路 6 は、チップイネーブル信号/CE、コマンドイネーブル信号 CLE、アドレスラッチイネーブル信号 ALE、書き込みイネーブル信号/WE、読み出しイネーブル信号/RE 等の制御信号に基づいて、コマンドやアドレスの入力、データの入出力を制御する。読み出し動作や書き込み動作はコマンド

で実行される。コマンドを受けて、シーケンス制御回路 7 は、読み出し動作や、書き込み或いは消去のシーケンス制御を行う。高電圧発生回路 8 は、制御回路 7 により制御されて、種々の動作に必要な所定の電圧を発生する。

#### 【0016】

図 2 は、セルアレイ 1 の具体的構成を示す。この例では、16 個の直列接続されたメモリセル MC0-MC15 とその両端に接続された選択ゲートトランジスタ S1, S2 により、NAND セルユニット 4 が構成されている。選択ゲートトランジスタ S1 のソースは、共通ソース線 CELSRC に接続され、選択ゲートトランジスタ S2 のドレインはビット線 BL (BL0-BLi-1) に接続される。メモリセル MC0-MC15 の制御ゲートはそれぞれワード線 WL (WL0-WL15) に接続され、選択ゲートトランジスタ S1, S2 のゲートは、選択ゲート線 SGS, SGD に接続される。

#### 【0017】

一つのワード線に沿う複数のメモリセルの範囲が、一括したデータ読み出し及びデータ書き込みの単位となるページになる。また、ワード線方向に並ぶ複数の NAND セルユニットの範囲が、データ一括消去の単位となるセルブロック BLK を構成する。図 2 では、ビット線 BL 方向にビット線 BL を共有する複数のセルブロック BLK0-BLKm-1 を配列して、セルアレイ 1 が構成されている。

ワード線 WL 及び選択ゲート線 SGS, SGD は、ロウデコーダ 2a により駆動される。各ビット線 BL は、ページバッファ 3 のセンスアンプ回路 SA (SA0-SAn-1) に接続されている。

#### 【0018】

図 3 は、一つの NAND セルユニットのビット線に沿った断面を示している。メモリセルは、n 型シリコン基板或いは n 型ウェル 10 に形成された、p 型ウェル 11 に形成される。メモリセルは、隣接するもの同士でソース、ドレイン拡散層 13 を共有して、浮遊ゲート 14 と制御ゲート 15 の積層構造をもって構成される。制御ゲート 15 は、図の面に直交する方向の複数のメモリセルに共通のワード線 WL としてパターニングされる。セルアレイは、層間絶縁膜 16 で覆われ

る。層間絶縁膜 1 6 内部に埋め込まれる、ブロック内の共通ソース線 (C E L S R C) 1 7 は、一方の選択ゲートトランジスタ S 1 のソース拡散層 1 3 b にコンタクトする。層間絶縁膜 1 6 上に形成されるビット線 (B L) 1 8 は、他方の選択ゲートトランジスタ S 2 のドレイン拡散層 1 3 a にコンタクトする。これらのソース線 1 7 及びビット線 1 8 のコンタクトは、隣接する N A N D セルで共有される。

## 【 0 0 1 9 】

この様に N A N D 型フラッシュメモリでは、N A N D セルユニット内で隣接するメモリセルが拡散層を共有し、また隣接する N A N D セルユニットが配線コンタクトを共有する。詳細説明は省くが、図 3 の面に直交する方向には、ストライプパターンの素子領域と素子分離領域が交互に配列され、その各素子領域とこれと直交するストライプパターンのワード線 W L の各交点にメモリセルが構成される。これらの構造的特徴から、N A N D 型フラッシュメモリは高密度化、大容量化が容易であり、実効的単位セル面積  $5 F^2$  (F : 最小加工寸法) が実現できる。

## 【 0 0 2 0 】

図 4 は、一つの N A N D セルユニット 4 とこれが接続されるビット線 B L に接続されるセンスアンプ回路 S A の構成を示している。ビット線には前述のように複数の N A N D セルユニットが接続されるが、図 4 では一つだけ示している。センスアンプ回路 S A は、二つのラッチ回路 4 1, 4 2 を有する。第 1 のラッチ回路 4 1 は、2 つのクロックト・インバータ 4 1 a, 4 1 b の逆並列接続により構成される。第 2 のラッチ回路 4 2 も同様に、二つのクロックト・インバータ 4 2 a, 4 2 b の逆並列接続により構成される。

## 【 0 0 2 1 】

第 1 のラッチ回路 4 1 のノード N 1, N 2 の一方 N 1 は、制御信号 B L C により駆動される転送用 N M O S トランジスタ 3 9 を介してセンスノード N S 2 に接続される。第 2 のラッチ回路 4 2 のノード N 3, N 4 の一方 N 3 は、制御信号 B L C 2 により駆動される転送用 N M O S トランジスタ 4 0 を介して同じセンスノード N S 2 に接続される。

## 【 0 0 2 2 】

第 1 のラッチ回路 4 1 は、着目するセルのデータ読み出しに用いられ、第 2 のラッチ回路 4 2 は、その読み出しデータに影響を与える隣接セルのデータを参照データとして保持するために用いられる。

センスノード NS 2 は、二つの NMOS トランジスタ 3 3, 3 4 が直列に配置された、センスデータを転送するためのデータ転送回路 3 0 a を介して、よりビット線に近いセンスノード NS 1 に接続される。センスノード NS 2 と NS 1 の間には、もう一つのセンスデータを転送するためのデータ転送回路 3 0 b を構成する NMOS トランジスタ 3 5, 3 6 が直列接続されている。

## 【 0 0 2 3 】

これら二つの転送回路 3 0 a, 3 0 b は、注目するメモリセルの異なる読み出し条件でのセルデータを選択的に第 1 のラッチ回路 4 1 に転送するために設けられている。具体的に二つの転送回路 3 0 a, 3 0 b は、第 2 のラッチ回路 4 2 が保持する参照データに応じてオンオフが切り替えられる。即ち、NMOS トランジスタ 3 4, 3 6 はそれぞれ、ラッチ回路 4 2 のノード N 4, N 3 によりゲートが制御される。ノード N 4 には、制御信号 N 4 P R E n によりゲートが制御されてノード N 4 の電位を初期設定するための PMOS トランジスタ 4 3 が接続されている。NMOS トランジスタ 3 3, 3 5 はそれぞれ、データセンス用の制御信号 CT 1, CT 2 により制御される。制御信号 CT 1, CT 2 は、注目するメモリセルのデータセンス時は異なるタイミングで発生される。

## 【 0 0 2 4 】

センスノード NS 1 は、制御信号 B L C L A M P により制御されるクランプ用 NMOS トランジスタ 3 1 を介して、ビット線 B L に接続される。この NMOS トランジスタ 3 1 は、ビット線電位の制御、読み出し時のビット線電位の増幅に供される。センスノード NS 1 には、ビット線 B L をプリチャージするための、制御信号 B L P R E により制御される NMOS トランジスタ 3 2 が接続されている。またセンスノード NS 2 には、読み出し時このセンスノード NS 2 をプリチャージするための、制御信号 N S P R E により制御される NMOS トランジスタ 3 8 と、チャージされたノード NS 2 の電位を保持するためのキャパシタ 3 7 が

接続されている。

## 【0025】

この実施の形態によるフラッシュメモリのデータ書き込みは、図5に示すように、書き込みパルスの印加とその後のベリファイ読み出しを繰り返す複数の書き込みサイクルにより行われる。選択ワード線に与えられる書き込みパルス電圧  $V_{pgm}$  は、図5に示すように、各書き込みサイクル毎に  $\Delta V_{pgm}$  ずつステップアップされる。図4のセンスアンプ回路SAは、書き込みサイクルが終了するまで書き込みデータを保持して、上述のようなデータ書き込みを行う書き込み回路としても用いられる。但し、書き込み終了を判定するためのベリファイ読み出しに利用される回路部は、図4では省略されている。

## 【0026】

この実施の形態では、図6に示すようなしきい値分布の4値データ“00”，“01”，“10”，“11”を書き込む場合を想定している。この様な4値データ記憶を行う場合には、二値データ記憶に比べて前述した隣接セルの干渉の影響が大きい。

## 【0027】

次にこの実施の形態による、隣接セルの干渉の影響を低減する読み出し方式を説明する。図7は、一つのNANDセルユニット4に着目して、データ書き込み順とデータ読み出し順を示している。ここではNANDセルユニット4は、説明を簡略化するため、4つのメモリセルMC0-MC3の場合を示している。データ書き込みは、ソース線CELSRC側のメモリセルMC0から順にビット線側のセルに向かって行われる。このとき、従来例で説明したと同様、メモリセルに書き込まれたしきい値  $V_a$  は、後に書き込まれる隣接メモリセルの干渉により、 $V_b$  に変化する。

## 【0028】

このような隣接セルの干渉の影響を低減するため、データ読み出しは、次のようにする。メモリセルMC0のデータ読み出し時は、これに隣接しこれより後に書き込まれたメモリセルMC1の読み出しデータに応じて、その読み出し条件を決定する。同様に、メモリセルMC1，MC2のデータ読み出し時も、それぞれ



に隣接し、それより後に書き込まれたメモリセルMC2、MC3の読み出しデータに応じて読み出し条件を決定する。ビット線BLにもっとも近いメモリセルMC3は、これより後に書かれるメモリセルがないため、そのままデータ読み出しを行う。

## 【0029】

図8は、ページ読み出し動作のフローを示しており、参照データとすべきページの読み出し動作READ1と、その参照データにより制御された、注目するページの読み出し動作READ2の2回の読み出しを実行することになる。即ち、ページP<sub>n</sub>（ワード線WL<sub>n</sub>）が選択されたとき、その読み出しデータに対してセル間干渉の影響を与えるのは、ページP<sub>n+1</sub>（ワード線WL<sub>n+1</sub>）のデータである。そこで、チップ外部から与えられるアドレス入力により、ページP<sub>n</sub>のデータ読み出しが要求された場合には、まず、ページP<sub>n+1</sub>のデータ読み出しを行う（ステップS1）。その読み出しデータは、図4のセンスアンプ回路SAの第2のラッチ回路42に保持する。

## 【0030】

この後、注目するページP<sub>n</sub>のデータ読み出し動作READ2に入り、ビット線をプリチャージした後、ビット線放電を開始する（ステップS2）。データセンスは、先に読み出されている参照データに応じて、その条件を異ならせる。そのために、ラッチ回路42のノードN3が“H”であるか否かを判定する（ステップS3）。ノードN3が“H”であれば、選択ページの読み出しに隣接セルの干渉を考慮する必要がある、“L”であれば、その必要がないことを意味する。この判定結果は、具体的には図4のセンスアンプ回路SAにおいて、第2のラッチ回路42の参照データに応じて、データ転送回路30a、30bのいずれが有効になるという結果として現れる。

## 【0031】

即ち、ステップS3の判定結果がNOの場合、ビット線センスは、制御信号CT1によりオンとなるデータ転送回路30aにより行われる（ステップS4）。このデータセンス時、選択ページのワード線WL<sub>n</sub>には読み出し電圧V<sub>sel</sub>を与える。ステップS3の判定結果がYESの場合、ビット線センスは、制御信号

CT2によりオンとなるデータ転送回路30bにより行われる(ステップS5)。このデータセンス時は、選択ページのワード線 $WL_n$ には読み出し電圧 $V_{sel}$ よりわずかに高い読み出し電圧 $V_{selh}$ を与える。読み出しデータは、第1のラッチ回路41に転送される(ステップS6)。

## 【0032】

図9A及び図9Bは、読み出し動作READ1、READ2におけるNANDセルユニットのバイアス条件を示している。選択ページ $P_n$ で読み出されるのはメモリセルMC1であるとして、読み出し動作READ1では、隣接メモリセルMC2のワード線に、読み出し電圧 $V_{selpre}$ が与えられる。他のワード線及び選択ゲート線には、それらにより制御されるメモリセル及び選択ゲートトランジスタが導通するようなパス電圧 $V_{read}$ が与えられる。

## 【0033】

読み出し電圧 $V_{selpre}$ は、ページ $P_{n+1}$ のメモリセルMC2が所定の書き込み状態にあるか否かを判定するための電圧となる。例えば、セルデータが、図6に示すデータ“11”であるか、それ以外であるかを判定する場合には、 $V_{selpre} = V_{r1}$ (=0V)とする。また、 $V_{selpre} = V_{r2}$ とすれば、セルがデータ“10”以下のしきい値であるか、データ“00”以上のしきい値であるかが判定される。

## 【0034】

注目するページの読み出し動作READ2では、図9Bに示すように、選択ワード線に異なる読み出し電圧 $V_{sel}$ 、 $V_{selh}$ が異なるタイミングで与えられる。これが、参照データに応じて異なる読み出し条件となる。非選択ワード線及び選択ゲート線には、パス電圧 $V_{read}$ が与えられる。

## 【0035】

次に、図11及び図12の読み出し動作波形を参照して、より具体的に読み出し動作を説明する。図11は、参照データとすべきページ $P_{n+1}$ のデータ読み出し動作(READ1)の波形であり、図12は、注目するページ $P_n$ のデータ読み出し動作(READ2)の波形である。

## 【0036】

図11の読み出し動作を説明すると、次のようになる。タイミングT0からT1で、ワード線、選択ゲート線にそれぞれ所定の電圧を印加し、ビット線をプリチャージする。選択ワード線には読み出し電圧 $V_{sel\ pre}$ 、非選択ワード線及びビット線側の選択ゲート線SGDには、読み出しパス電圧 $V_{read}$ が与えられる。ビット線プリチャージは、NMOSトランジスタ32のゲートBLPREに $V_{cc}+V_t$ を与えてノードNS1を $V_{cc}$ に充電し、NMOSトランジスタ31のゲートBLCCLAMPに $V_{pre}+V_t$ を印加することによって行われる。これにより、ビット線は $V_{pre}$ に充電される。

## 【0037】

タイミングT1で、セルソース線側選択ゲート線SGSにパス電圧 $V_{read}$ が印加される。ページPn+1のメモリセル（図9AのメモリセルMC2）のしきい値が $V_{sel\ pre}$ より低ければ、そのメモリセルがオンしてビット線電位 $V_{pre}$ は放電され、しきい値が $V_{sel\ pre}$ より高ければビット線電位は放電されない。図11中のビット線電位の実線で示す波形Aは放電されるケースを示し、一転鎖線で示す波形Bは放電されないケースを示している。

## 【0038】

タイミングT2からT3では、NMOSトランジスタ38をオンにして、センスアンプSA内のセンスノードNS2を $V_{cc}$ にプリチャージする。同時に、読み出しデータをラッチ回路42に取り込むため、NMOSトランジスタ40のゲートBLC2にも $V_{cc}+V_t$ が印加される。これにより、ノードN3も $V_{cc}$ にプリチャージされる。タイミングT4からT5では、NMOSトランジスタ31のゲートBLCCLAMPにビット線センス電圧 $V_{sen}+V_t$ （ $V_t$ は、NMOSトランジスタ31のしきい値電圧）が印加される。この時、NMOSトランジスタ33のゲートにも制御信号 $CT1=V_{cc}$ が印加される。また、タイミングT2からT6の間、PMOSトランジスタ43のゲートに制御信号 $N4PREn="L"$ が印加され、これによりNMOSトランジスタ34のゲートに $V_{cc}$ が印加されている。よってこのデータセンス時、データ転送回路30aのみが導通可能な状態となっている。

## 【0039】

NMOSトランジスタ31のゲートBLCLAMPに与えられるセンス電圧は、 $V_{sen} + V_t$  ( $V_t$ はNMOSトランジスタ31のしきい値電圧)である。図11のビット線波形Aのように、ビット線電圧が $V_{sen}$ 以下であれば、NMOSトランジスタ31は導通状態となり、ノードNS1、NS2はビット線電位近くまで放電される。この場合、タイミングT6からT7でラッチ回路42のノードN3には“L”データが取り込まれる。これは、ページP<sub>n+1</sub>のメモリセルは書き込まれていないか、あるいは、しきい値があまり動かない書き込みしか行われていないことを意味する。

## 【0040】

ビット線の波形Bのように、タイミングT1からT4の間にビット線電位が放電されなかった場合には、ラッチ回路42のノードN3には“H”データが取り込まれる。これは、ページP<sub>n+1</sub>のメモリセルに、注目するページP<sub>n</sub>のメモリセルの書き込みデータに影響を与える状態の書き込みがなされたことを意味する。タイミングT7、T8でノードN3のデータがラッチ回路42に取り込まれる。以上により、第2のラッチ回路42に参照データが保持される。

## 【0041】

次に、ラッチ回路42に参照データを保持したまま、図12に示す選択ページP<sub>n</sub>のデータ読み出し動作READ2を行う。このとき、NANDセルユニットに印加される電圧は、図9Bのようになる。図9Bでは、メモリセルMC1がページP<sub>n</sub>に対応するメモリセルであり、このメモリセルを選択するワード線には、前述のように、二つの読み出し電圧 $V_{sel}$ 、 $V_{selh}$ が異なるタイミングで印加される。この読み出し電圧 $V_{sel}$ 、 $V_{selh}$ は、図10に示すデータ分布において、データ“10”と“00”を判別する読み出しを行う場合にはそれぞれ、 $V_{r2}$ 、 $V_{r2h}$ に相当する電圧である。 $V_{r2}$ は、ページP<sub>n+1</sub>に書き込みが行われていない場合の読み出しワード線電圧であり、 $V_{r2h}$ はページP<sub>n+1</sub>のメモリセルに書き込みが行われている場合の読み出しワード線電圧である。

## 【0042】

タイミングT0からT1では、選択ワード線に読み出し電圧 $V_{sel}$ （例えば

、 $v_{r2}$ )を印加し、同一NANDセルユニットの非選択ワード線と選択ゲート線SGDにはバス電圧 $V_{read}$ を印加し、ビット線を $V_{pre}$ にプリチャージする。タイミングT2でソース線側選択ゲート線SGSにバス電圧 $V_{read}$ を印加すると、選択ページPnのメモリセル(MC1)のしきい値が $V_{sel}$ より低ければ、波形Cのようにビット線が放電される。

## 【0043】

タイミングT2からT3では、NMOSトランジスタ38, 39のゲートNSPRE, BLCに $V_{cc}+V_t$ を与えて、ノードNS2及び第1のラッチ回路41のノードN1を $V_{cc}$ にプリチャージする。NMOSトランジスタ38によるセンスノードチャージは、タイミングT3で停止し、NMOSトランジスタ39のゲートにはその後も $V_{cc}+V_t$ が印加される。そしてタイミングT4からT5で、NMOSトランジスタ31のゲートBLCLMAPにセンス用電圧 $V_{sen}+V_t$ を印加し、NMOSトランジスタ33のゲートに制御信号 $CT1=V_{cc}$ を印加する。

## 【0044】

この時、ラッチ回路42が保持する参照データが、 $N3="L"$ 、 $N4="H"$ の場合、すなわち、ページPn+1のメモリセルに所定の書き込みが行われていない場合には、NMOSトランジスタ34がゲートに $V_{cc}$ が印加されて導通可能な状態になっている。即ちデータ転送回路30aが有効であって、タイミングT4からT5の間にビット線センスが行われる。実線波形Cのようにビット線電位が $V_{sen}$ 以下であれば、ノードNS1, NS2は、ビット線側に放電される。ビット線が放電されていなければ、一転鎖線Dに示すように、ノードNS1, NS2は放電されない。こうしてビット線センスの結果は、ラッチ回路41のノードN1に転送される。

## 【0045】

図12のビット線放電波形C, Dによりセンスされるメモリセルのしきい値は、例えば図10のデータ分布のなかのデータ“10”の実線で示す分布C1, データ“00”の実線で示す分布D1にそれぞれ対応する。これらの実線分布C1, D1は、隣接セルの書き込みデータの影響がない場合のしきい値分布を示して

おり、T4-T5のデータセンスでは、これらの分布C1, D1が判別される。なぜなら、ラッチ回路42に保持された参照データは、注目するページPnのメモリセルの書き込みしきい値に対してページPn+1のデータが影響を与えないことを示しているからである。

## 【0046】

次にタイミングT6で選択ページPnの読み出しワード線電圧を $V_{selh}$ に上昇させる。ビット線の放電は継続されたままとなっている。この読み出し電圧 $V_{selh}$ は、先の読み出し電圧 $V_{sel}$ に対して、最大でも、図10における、隣接セルの影響がない実線分布C1と、隣接セルの影響がある場合の破線分布E1の電位差程度の上昇分となる。例えば、 $V_{selh} = V_{sel} + 0.2V$ である。タイミングT1からT4にかけてのビット線放電時間と同程度の待ち時間を経て、タイミングT7からT8で、再びビット線センスを行う。

## 【0047】

このときもNMOSトランジスタ31のゲートBLCLAMPに印加される電圧は、 $V_{sen} + V_t$ であり、同時にNMOSトランジスタ35のゲートに制御信号 $CT2 = V_{cc}$ が印加される。この期間にビット線センスされるのは、例えば図10における破線分布E1または分布F1のようなしきい値をもつメモリセルの場合である。これらは、ページPn+1のメモリセルに所定の書き込みが行われており、メモリセル間の干渉によって、図10に実線で示す本来のしきい値分布C1, D1が、破線で示す分布E1, F1にシフトされているメモリセルである。

## 【0048】

このときラッチ回路42が保持する参照データは、 $N3 = "H"$ ,  $N4 = "L"$ であって、NMOSトランジスタ36が導通可能な状態となっている。従ってビット線波形EのようにタイミングT7でビット線電位が $V_{sen}$ 以下になっていれば、センスノードNS2は、転送回路30bを介し、更にNMOSトランジスタ31を介してビット線側に放電される。波形Fのようにビット線の放電がなければ、メモリセルのしきい値は、図10の分布F1のように、読み出し電圧 $V_{r2h}$ より高いことになる。

以上のように、タイミングT4～T5間とT7～T8間に異なる読み出し条件でセンスされた結果は、そのいずれか一方が、タイミングT9でSEN = “H”、タイミングT10でLAT = “H”とすることにより、ラッチ回路41に取り込まれる。

## 【0049】

本実施の形態では、2ビット／セルの2ビットを読み分ける具体的な動作には言及していないが、多値記憶により複数のしきい値分布が存在していてそれらをワード線の電位を変えて読み出すことを前提にしている。この場合に、2ビット／セルの2ビットを読み分けるためには、その2ビットの割り付け方により、必ず3回読み出し動作を繰り返す必要がある場合や、1回や2回ですむ場合がある。前者は2ビット／セルが二つのI/Oや、二つのカラムアドレスに割り付けられている場合であり、後者は、2ビット／セルが二つのロウアドレスに割り付けられている場合である。本実施の形態は、その1回分の読み出し動作を改善するものであり、図12の動作でラッチ回路41に取り込まれるのは、2ビット／セルの1ビットデータであったり、2ビット／セルを読み出す過程のデータであったりする。一方、図12の動作でラッチ回路42に保持されるデータは、ラッチ回路41に読み出すデータを確実に判別するための参照データとなる。従って本実施の形態で説明した読み出し動作を、1回あるいは複数回行い、最終的にチップ外部に出力できるデータを確定する。

## 【0050】

この実施の形態のメリットは、図10に示す従来のデータ分布と実施の形態によるデータ分布を比較すれば明らかになる。図10に示す従来例は、メモリセル間の干渉が大きく、データしきい値分布が広がる場合であって、図23に示す隣接セル間の干渉が大の場合に相当する。従来は、この様に広がったしきい値分布幅に合わせて、それぞれのワード線読み出し電位 $V_{r2}$ や $V_{r3}$ を設定する必要があった。これに対してこの実施の形態の読み出し方式によれば、図10の下側のデータ分布に示すように、隣接セルの干渉の有無に応じて読み出し電圧 $V_{r2}$ 、 $V_{r2h}$ を使い分けることによって、データしきい値分布の間を狭くすることができる。これは特に、多値記憶を行う場合に有効である。これによって、隣接

セル間干渉を考慮して書き込みしきい値分布を上げることによる悪循環を抑えることができるだけでなく、読み出しパス電圧  $V_{read}$  による非選択セルでのストレスも緩和することが可能となる。

#### 【0051】

この実施の形態の読み出し方式では、NANDセルユニットのソース線側のメモリセルから順番に読み出す場合に、チップ外部から要求のあったページ  $P_n$  の読み出しに、ページ  $P_{n+1}$  の読み出し動作が付随することになる。また、図12の動作波形から明らかなように、ページ  $P_n$  の読み出しに、制御信号  $CT_1$ 、 $CT_2$  による2回のビット線センスが必要となる。この結果読み出し時間は、従来に比べて2.5倍程度になるから、この実施の形態の方式は読み出し速度よりも書き込み速度を優先する場合に特に有効となる。

#### 【0052】

##### 〔実施の形態2〕

図13は、図7に示した実施の形態1での書き込み順と読み出し順に対応させて、実施の形態2での書き込み順と読み出し順を示している。この実施の形態では、NANDセルユニット4内の書き込み順と読み出し順を逆にしている。これにより、先の実施の形態1におけるような、ページ  $P_n$  を読み出すためのページ  $P_{n+1}$  の読み出し動作  $READ_1$  を省略することができる。すなわち、NANDセルユニット4内で書き込まれた順番と逆に読み出すようにすれば、直前に読み出したデータを参照データとして利用して、実施の形態1の図12で説明したと同様の読み出し動作が可能となる。

#### 【0053】

図13においては、ページアドレスが割り付けられたメモリセル  $MC_0$ 、 $MC_1$ 、 $MC_2$ 、 $MC_3$  がビット線側からアドレス順に配列され、それぞれワード線  $WL_0$ 、 $WL_1$ 、 $WL_2$ 、 $WL_3$  により駆動される。通常書き込みではNANDセルユニット4内のページ書き込みは、下位アドレスからの順（即ち、 $WL_0$ 、 $WL_1$ 、 $WL_2$ 、 $WL_3$  の順）になるが、本実施の形態では、上位アドレスからの順（即ち  $WL_3$ 、 $WL_2$ 、 $WL_1$ 、 $WL_0$  の順）となる。即ち、メモリセルに着目すれば、 $MC_3$ 、 $MC_2$ 、 $MC_1$ 、 $MC_0$  の書き込み順となる。



## 【0054】

これに対して、連続ページ読み出しの場合の読み出し順は、WL0, WL1, WL2, WL3の順とする。即ち、メモリセルに着目すれば、MC0, MC1, MC2, MC3の読み出し順とする。この様な読み出しを行えば、メモリセルMC1より後に書き込まれてメモリセルMC1の読み出しデータに影響を与えるメモリセルMC0のデータは、メモリセルMC1の直前に読み出されているため、メモリセルMC1の読み出し条件を、メモリセルMC0の読み出しデータを参照データとして決定することができる。同様に、メモリセルMC2, MC3の読み出し条件は、それぞれの直前に読み出されるメモリセルMC1, MC2の読み出しデータにより決定できる。メモリセルMC0については、隣接セルの干渉の影響がないことは、実施の形態1と同様である。

## 【0055】

この実施の形態のように書き込み順を通常と逆にするためには、NAND型フラッシュメモリへの書き込みデータを少なくとも1セルブロック分蓄積してからメモリチップにデータを供給するシステムが必要となる。図14はそのようなメモリシステムの概略構成を示す。NAND型フラッシュメモリ51を含むメモリカード50には、NAND型フラッシュメモリ51へのデータの入出力を制御するコントローラ52と、そのコントローラ52によってNAND型フラッシュメモリ51に入出力されるデータを一時的に保持するキャッシュメモリ53が含まれる。キャッシュメモリ53には、少なくとも、NAND型フラッシュメモリ51のセルブロックサイズ以上の容量の記憶領域（メモリ空間）がある。

## 【0056】

メインメモリ55は、メモリカード50が装着される電子機器のメモリである。このメインメモリ55からNAND型フラッシュメモリ51にデータを書き込む場合、そのデータは、まずキャッシュメモリ53に入力される。ここで、書き込みデータは、通常下位のページアドレスのデータからキャッシュメモリ53に転送されるものとする。キャッシュメモリ53内のメモリ領域54には、最下位アドレスに対応する先頭ページP0のデータから順に蓄積されていく。NANDセルユニットが16個のメモリセルで構成され、従って1セルブロックが16

ページP0-P15であって、メモリ領域54は、フラッシュメモリ51のセルブロックサイズと一致するものとする。

【0057】

キャッシュメモリ53の領域54に蓄積されるデータは、NANDフラッシュメモリ51の複数のセルブロックのデータが入らないように制御される。コントローラ52は、領域54に1セルブロック分（16ページ分）の書き込みデータの蓄積が終了してから、そのデータをNAND型フラッシュメモリ51に転送し、書き込みを開始するように、制御する。この時、図13で説明した書き込み順となるように、コントローラ52は領域54のページP15からページP0に向かって、順次データをNAND型フラッシュメモリ51に転送して書き込みを行う。これにより、フラッシュメモリ51へのデータ書き込み順を通常と逆にすることができる。

【0058】

この実施の形態のように、書き込み順と読み出し順を逆にすることで読み出し時間の短縮が図られるのは、上述のようにブロック内のページP0から連続してページ読み出しを行う場合である。しかし実際には、この様な連続ページ読み出しではなく、実施の形態1と同様に参照データ読み出し動作を必要とする場合もある。また、選択ページが隣接セルの干渉の影響がない場合もある。これらの各ケースを全て考慮したNAND型フラッシュメモリの読み出し動作のフローチャートを図15に示す。

【0059】

この実施の形態において、NAND型セルユニット4内で最後に書き込みが行われるページP0（ワード線WL0）のメモリセルを読み出す場合には、隣接メモリセルの干渉を考慮しなくてもよく、通常の読み出し条件とする。即ち、ステップS11で外部アドレスを認識して、ページP0が選択されていれば、ステップS12へ進み、ここではメモリセルの多値記憶状態に応じた通常の読み出し動作を行う。この読み出し動作の具体的な読み出し方は、しきい値分布のデータ割り付け方によって多様であるが、図11に示した読み出し動作を利用すればよい。即ち、制御信号CT1、CT2による読み出しタイミングの区別や、ワード線

読み出し電圧の切り換えを伴わない通常の読み出し動作である。読み出しデータは、図4のセンスアンプ回路SAのラッチ回路41、42のいずれに保持してもよい。最終的に確定された読み出しデータは、ステップS13でチップ外部に読み出される。

#### 【0060】

セルブロック内の任意のページP<sub>n</sub>の読み出しが行われる場合には、ページP<sub>n</sub>の読み出しの前にページP<sub>n-1</sub>の読み出しが行われたか否か、即ち選択ページが連続かどうかをステップS14で判定する。但しこのアドレス判定を行うためには、メモリチップの制御回路7がアドレス選択の履歴情報を持つことが必要である。選択アドレスが連続である場合には、ステップS15に進む。ステップS15では、センスアンプ回路4のラッチ回路41にページP<sub>n-1</sub>の読み出しデータが保持されているものとする、これを参照データとしてラッチ回路42に転送する。

#### 【0061】

そしてステップS16では、実施の形態1の図12の読み出し動作と同様に、ラッチ回路42に保持された参照データにより決定された読み出し条件で、メモリセルから多値記憶されたデータを読み出す。ステップS17では、確定した読み出しデータをチップ外部に出力する。

#### 【0062】

連続ページの読み出しではなく、ブロック内の任意ページP<sub>n</sub>の読み出し動作である場合には、ステップS18で、実施の形態1と同様に、参照データとすべきページの読み出し動作を行う。このステップS18でラッチ回路42に取り込む参照データは、ページP<sub>n-1</sub>のデータとなる。この実施の形態では、ページP<sub>n</sub>よりページP<sub>n-1</sub>のデータが後に書き込みされているためである。ステップS19では、図12の読み出し動作と同様に、ラッチ回路42に保持された参照データにより決定された読み出し条件で、多値記憶されたデータをセンスアンプ回路に読み出す。ステップS20では、確定した読み出しデータをチップ外部に出力する。

#### 【0063】

この実施の形態において、NAND型フラッシュメモリ51に書き込むデータは、一度キャッシュメモリ53に格納されたデータとなるが、図15で説明した読み出し方式を実現するためには、いくつかの制限が必要となる。例えば、ある書き込み要求時に、ページP0からページP7までの書き込みを行ったとする。このとき、NAND型フラッシュメモリ51には、コントローラ52の制御によりキャッシュの領域54から書き込みデータが転送されて、ページP7, P6, ..., P0の順で書き込みが行われる。

## 【0064】

この書き込み状態に対して、図15のステップS15-S17の制御でページP0からページP7までのデータ読み出しは正常に行われる。このとき、NAND型フラッシュメモリ51の同一ブロック内では、ページP8からページP15が空き領域（未書き込み領域）である。この後、ページP8からページP15に対して追加書き込みが行われると、ページP7とページP8の連続ページ読み出しができなくなってしまう。なぜなら、本実施の形態では、ページP7のデータは、ページP8のデータより後に書き込まれていなければならないからである。

## 【0065】

このような事態に対処するには、追加データ書き込み前に、フラッシュメモリ51からページP0からページP7のデータをキャッシュメモリ53に読み出す。続いて、追加データであるページP8からページP15の書き込みデータもキャッシュメモリ53に格納する。こうして、1セルブロックの全ページデータを、再度NANDフラッシュメモリ51に連続して書き込むように制御すればよい。

## 【0066】

この実施の形態によるメモリカードは、NAND型フラッシュメモリ51と、これに対するデータ書き込みを制御するコントローラ52と、少なくとも1ブロック分の書き込みデータ保持が可能なキャッシュメモリ53を備えることによって、NAND型フラッシュメモリ51のブロック内ページの書き込み順を通常と逆に、上位アドレスからの書き込みとすることが可能になる。これにより、隣接メモリセル間の干渉の影響を小さくする読み出し動作を、読み出し動作のパフォーマンスの劣化を抑えて実現することができる。特に、連続ページ読み出しを行

う場合に、参照データを読み出すための動作が不要となり、データ読み出し効率の向上が図られる。

#### 【 0 0 6 7 】

##### 〔実施の形態 3〕

実施の形態 1 では、メモリセル間の干渉に応じて選択ページの読み出し条件を設定するため、選択ワード線に与えられる読み出し電圧の切り換えを利用した。これは、メモリセル間の干渉の影響によるメモリセルのしきい値の差に直接対応させる手法である。しかしメモリセルのしきい値の差に対応した読み出し条件を設定する手法として、データセンス時のビット線放電時間の差を利用することも可能である。メモリセルの書き込みしきい値が異なれば、同じ読み出し電圧をメモリセルに与えた場合にもビット線放電カーブに違いが出るからである。

#### 【 0 0 6 8 】

図 1 6 は、その様なビット線放電時間の差を利用する実施の形態について、選択ページの読み出し動作 READ 2 の波形を、実施の形態 1 の図 1 2 と対応させて示している。読み出し動作 READ 2 に先行して、参照データの読み出し動作 READ 1 が実行されることは、実施の形態 1 と同様である。また NAND セルユニットのワード線及び選択ゲート線に与える電圧は示していないが、選択ワード線に与える読み出し電圧を切り換えのない一定値とする他、実施の形態 1 と同様である。

#### 【 0 0 6 9 】

タイミング T 0 - T 1 の間にビット線プリチャージを行い、その後 NAND セルユニットによりビット線を放電させる。ビット線放電開始後、ビット線センスの前に、タイミング T 2 - T 3 でセンスノード NS 2 のプリチャージを行う。これらも実施の形態 1 と変わらない。図 1 6 には、隣接セルの干渉がない選択メモリセル G 1 の場合、隣接セルの干渉がある選択メモリセル G 2 の場合のビット線放電カーブをそれぞれ直線と破線で示している。干渉の有無に応じてメモリセルのしきい値に差が生じると、図示のようにそのようなメモリセルが選択されたときのビット線放電カーブにも差が生じる。この実施の形態では、この放電カーブの差に応じて、ビット線センスのタイミングを設定する。

## 【 0 0 7 0 】

即ち、メモリセル G 1 が選択されている場合には、タイミング T 4 で立ち上がる制御信号 C T 1 によりビット線センスを行う。メモリセル G 2 が選択されている場合には、それより遅れたタイミング T 5 で立ち上がる制御信号 C T 2 によりビット線センスを行う。実施の形態 1 と同様に、図 4 のセンスアンプ回路 S A に参照データが予め保持されて、これによりセンスデータ転送回路 3 0 a, 3 0 b の一方が有効になる。従って、制御信号 C T 1, C T 2 のいずれか一方のタイミングでセンスされた読み出しデータが有効になる。この実施の形態によっても、実施の形態 1 と同様の効果が得られる。

## 【 0 0 7 1 】

## 〔実施の形態 4〕

次に、上記各実施の形態による不揮発性半導体記憶装置或いはメモリシステムを搭載した電子カードと、その電子カードを用いた電子装置の実施の形態を説明する。

図 1 7 は、この実施の形態による電子カードと、この電子カードを用いた電子装置の構成を示す。ここでは電子装置は、携帯電子機器の一例としてのデジタルスチルカメラ 1 0 1 を示す。電子カードは、デジタルスチルカメラ 1 0 1 の記録媒体として用いられるメモリカード 6 1 である。メモリカード 6 1 は、先の各実施の形態で説明した不揮発性半導体装置或いはメモリシステムが集積化され封止された I C パッケージ P K 1 を有する。

## 【 0 0 7 2 】

デジタルスチルカメラ 1 0 1 のケースには、カードスロット 1 0 2 と、このカードスロット 1 0 2 に接続された、図示しない回路基板が収納されている。メモリカード 6 1 は、カードスロット 1 0 2 に取り外し可能に装着される。メモリカード 6 1 は、カードスロット 1 0 2 に装着されると、回路基板上の電気回路に電気的に接続される。

電子カードが例えば、非接触型の I C カードである場合、カードスロット 1 0 2 に収納し、或いは近づけることによって、回路基板上の電気回路に無線信号により接続される。

## 【0073】

図18は、デジタルスチルカメラの基本的な構成を示す。被写体からの光は、レンズ103により集光されて撮像装置104に入力される。撮像装置104は例えばCMOSイメージセンサであり、入力された光を光電変換し、アナログ信号を出力する。このアナログ信号は、アナログ増幅器（AMP）により増幅された後、A/Dコンバータによりデジタル変換される。変換された信号は、カメラ信号処理回路105に入力され、例えば自動露出制御（AE）、自動ホワイトバランス制御（AWB）、及び色分離処理を行った後、輝度信号と色差信号に変換される。

## 【0074】

画像をモニターする場合、カメラ信号処理回路105から出力された信号はビデオ信号処理回路106に入力され、ビデオ信号に変換される。ビデオ信号の方式としては、例えばNTSC（National Television System Committee）を挙げることができる。ビデオ信号は、表示信号処理回路107を介して、デジタルスチルカメラ101に取り付けられた表示部108に出力される。表示部108は例えば液晶モニターである。

## 【0075】

ビデオ信号は、ビデオドライバ109を介してビデオ出力端子110に与えられる。デジタルスチルカメラ101により撮像された画像は、ビデオ出力端子110を介して、例えばテレビジョン等の画像機器に出力することができる。これにより、撮像した画像を表示部108以外でも表示することができる。撮像装置104、アナログ増幅器（AMP）、A/Dコンバータ（A/D）、カメラ信号処理回路105は、マイクロコンピュータ111により制御される。

## 【0076】

画像をキャプチャする場合、操作ボタン例えばシャッターボタン112を操作者が押す。これにより、マイクロコンピュータ111が、メモリコントローラ113を制御し、カメラ信号処理回路105から出力された信号がフレーム画像としてビデオメモリ114に書き込まれる。ビデオメモリ114に書き込まれたフレーム画像は、圧縮／伸張処理回路115により、所定の圧縮フォーマットに基づ

いて圧縮され、カードインタフェース116を介してカードスロット102に装着されているメモリカード61に記録される。

#### 【0077】

記録した画像を再生する場合、メモリカード61に記録されている画像を、カードインタフェース116を介して読み出し、圧縮／伸張処理回路115により伸張した後、ビデオメモリ114に書き込む。書き込まれた画像はビデオ信号処理回路106に入力され、画像をモニターする場合と同様に、表示部108や画像機器に映し出される。

#### 【0078】

なおこの構成では、回路基板100上に、カードスロット102、撮像装置104、アナログ増幅器（AMP）、A/Dコンバータ（A/D）、カメラ信号処理回路105、ビデオ信号処理回路106、メモリコントローラ113、ビデオメモリ114、圧縮／伸張処理回路115、及びカードインタフェース116が実装される。

但しカードスロット102については、回路基板100上に実装される必要はなく、コネクタケーブル等により回路基板100に接続されるようにしてもよい。

#### 【0079】

回路基板100上には更に、電源回路117が実装される。電源回路117は、外部電源、或いは電池からの電源の供給を受け、デジタルスチルカメラの内部で使用する内部電源電圧を発生する。電源回路117として、DC-DCコンバータを用いてもよい。内部電源電圧は、上述した各回路に供給される他、ストロボ118、表示部108にも供給される。

#### 【0080】

以上のようにこの実施の形態の電子カードは、デジタルスチルカメラ等の携帯電子機器に用いることが可能である。更にこの電子カードは、携帯電子機器だけでなく、図19A-19Jに示すような他の各種電子機器に適用することができる。即ち、図19Aに示すビデオカメラ、図19Bに示すテレビジョン、図19Cに示すオーディオ機器、図19Dに示すゲーム機器、図19Eに示す電子楽



器、図 1 9 F に示す携帯電話、図 1 9 G に示すパーソナルコンピュータ、図 1 9 H に示すパーソナルデジタルアシスタント（PDA）、図 1 9 I に示すヴォイスレコーダ、図 1 9 J に示す PC カード等に、上記電子カードを用いることができる。

【 0 0 8 1 】

この発明は上記実施の形態に限定されない。例えば上記実施の形態では、NAND 型フラッシュメモリを説明したが、NOR 型、DINOR 型等の他の不揮発性半導体記憶装置に同様にこの発明を適用することができる。

【 0 0 8 2 】

【発明の効果】

以上述べたようにこの発明によれば、隣接メモリセル間の干渉の影響を低減した不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態によるフラッシュメモリの構成を示す図である。

【図 2】

同フラッシュメモリのメモリセルアレイ構成を示す図である。

【図 3】

同フラッシュメモリの NAND セルユニットの断面構造を示す図である。

【図 4】

同フラッシュメモリのセンスアンプ回路構成を示す図である。

【図 5】

同フラッシュメモリのデータ書き込み動作原理を示す図である。

【図 6】

同フラッシュメモリのデータ分布例を示す図である。

【図 7】

同フラッシュメモリの NAND セルユニット内の書き込み順及び読み出し順を示す図である。

【図 8】

同フラッシュメモリのデータ読み出し動作のフローを示す図である。

【図 9 A】

同フラッシュメモリの参照データ読み出し時のバイアス条件を示す図である。

【図 9 B】

同フラッシュメモリの注目セルのデータ読み出し時のバイアス条件を示す図である。

【図 1 0】

同フラッシュメモリのデータ状態を従来例と比較して示す図である。

【図 1 1】

同フラッシュメモリの参照データ読み出し動作の波形を示す図である。

【図 1 2】

同フラッシュメモリの注目セルのデータ読み出し動作の波形を示す図である。

【図 1 3】

他の実施の形態によるフラッシュメモリの NAND セルユニット内の書き込み順及び読み出し順を示す図である。

【図 1 4】

同実施の形態が適用されるメモリシステムを示す図である。

【図 1 5】

同実施の形態のフラッシュメモリのデータ読み出し動作のフローを示す図である。

【図 1 6】

他の実施の形態によるフラッシュメモリのデータ読み出し動作の波形を示す図である。

【図 1 7】

デジタルスチルカメラに適用した実施の形態を示す図である。

【図 1 8】

同デジタルスチルカメラの内部構成を示す図である。

【図 1 9 A】

ビデオカメラに適用した実施の形態を示す図である。

【図 1 9 B】

テレビジョンに適用した実施の形態を示す図である。

【図 1 9 C】

オーディオ機器に適用した実施の形態を示す図である。

【図 1 9 D】

ゲーム機器に適用した実施の形態を示す図である。

【図 1 9 E】

電子楽器に適用した実施の形態を示す図である。

【図 1 9 F】

携帯電話に適用した実施の形態を示す図である。

【図 1 9 G】

パーソナルコンピュータに適用した実施の形態を示す図である。

【図 1 9 H】

パーソナルデジタルアシスタント（PDA）に適用した実施の形態を示す図である。

【図 1 9 I】

ヴォイスレコーダに適用した実施の形態を示す図である。

【図 1 9 J】

PCカードに適用した実施の形態を示す図である。

【図 2 0】

NAND型フラッシュメモリの隣接メモリセル間の干渉を説明するための図である。

【図 2 1】

従来のNAND型フラッシュメモリの書き込み順とセルのしきい値変化を示す図である。

【図 2 2】

従来のNAND型フラッシュメモリのデータ分布を示す図である。

【符号の説明】

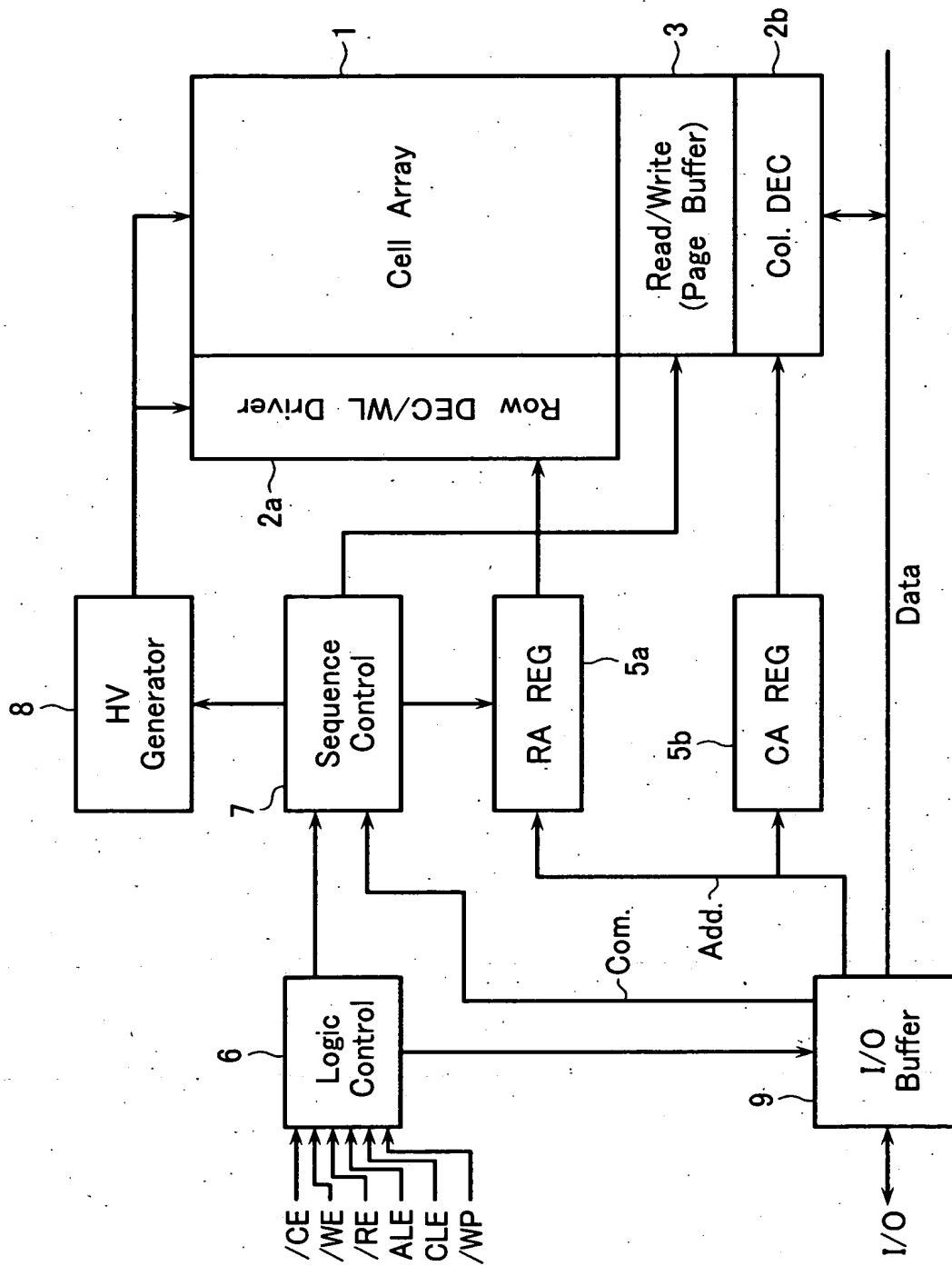
1…メモリセルアレイ、2 a…ロウデコーダ／ワード線ドライバ、2 b…カラ

ムデコーダ、3…読み出し／書き込み回路（ページバッファ）、4…NANDセルユニット、5a…ロウアドレスレジスタ、5b…カラムアドレスレジスタ、6…ロジック制御回路、7…シーケンス制御回路、8…高電圧発生回路、9…I／Oバッファ、10…シリコン基板、11…p型ウェル、13, 13a, 13b…拡散層、14…浮遊ゲート、15…制御ゲート、17…共通ソース線、18…ビット線、16…層間絶縁膜、SA…センスアンプ回路、NS1, NS2…センスノード、30a, 30b…データ転送回路、41, 42…ラッチ回路、31…クランプ用NMOSトランジスタ、32, 38…プリチャージNMOSトランジスタ、33, 34, 35, 35…転送用NMOSトランジスタ、CT1, CT2…制御信号。

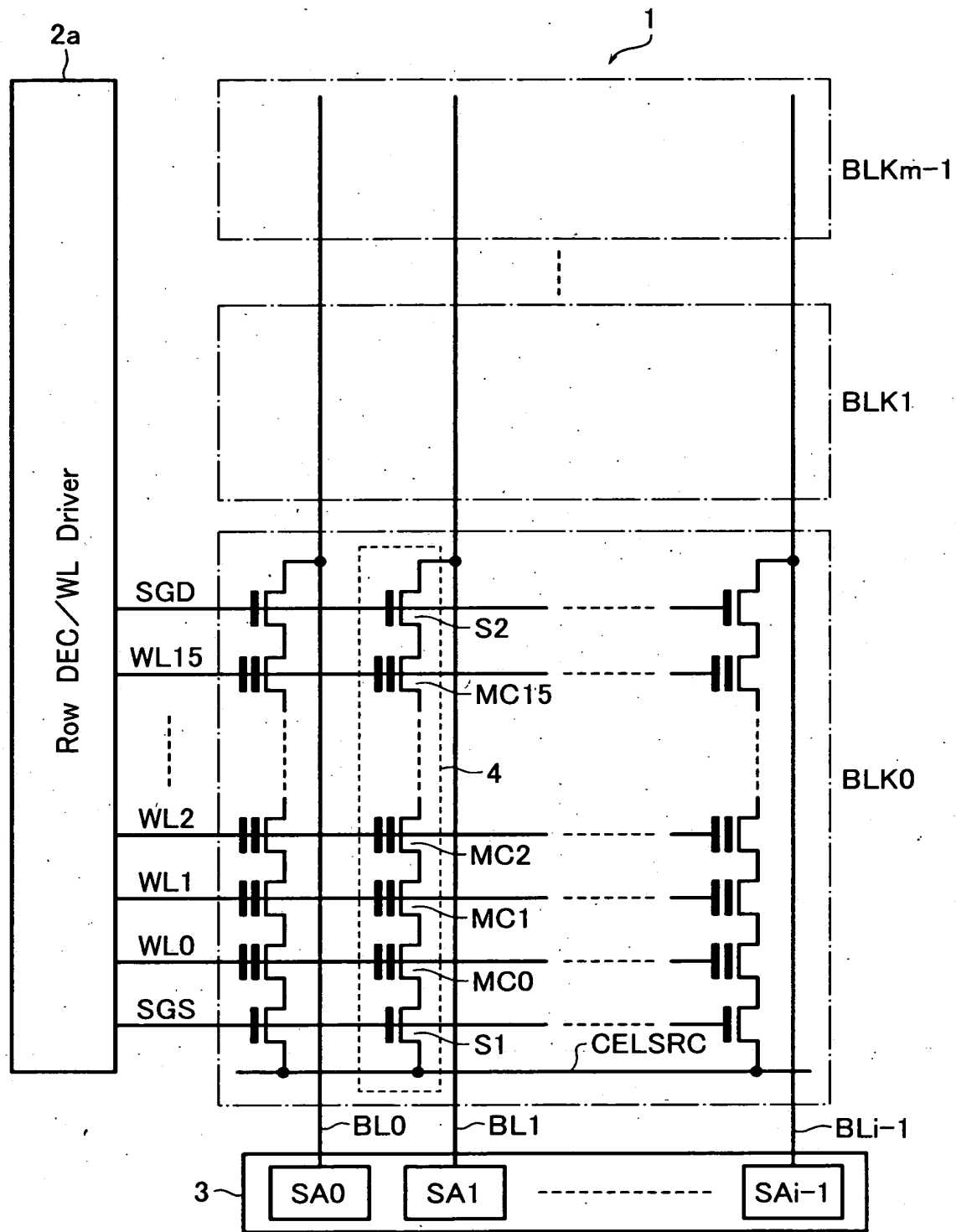
【書類名】

図面

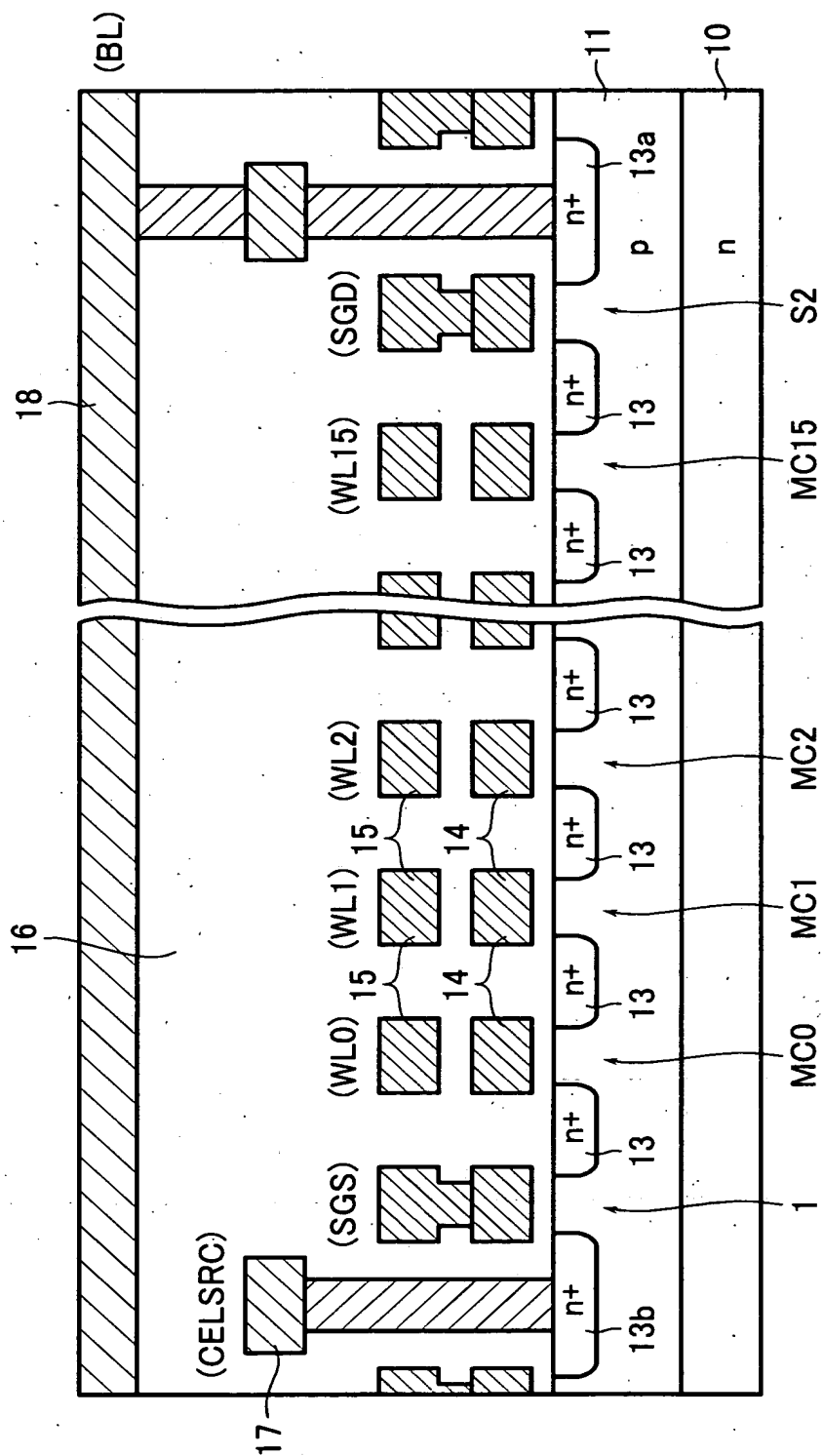
【図 1】



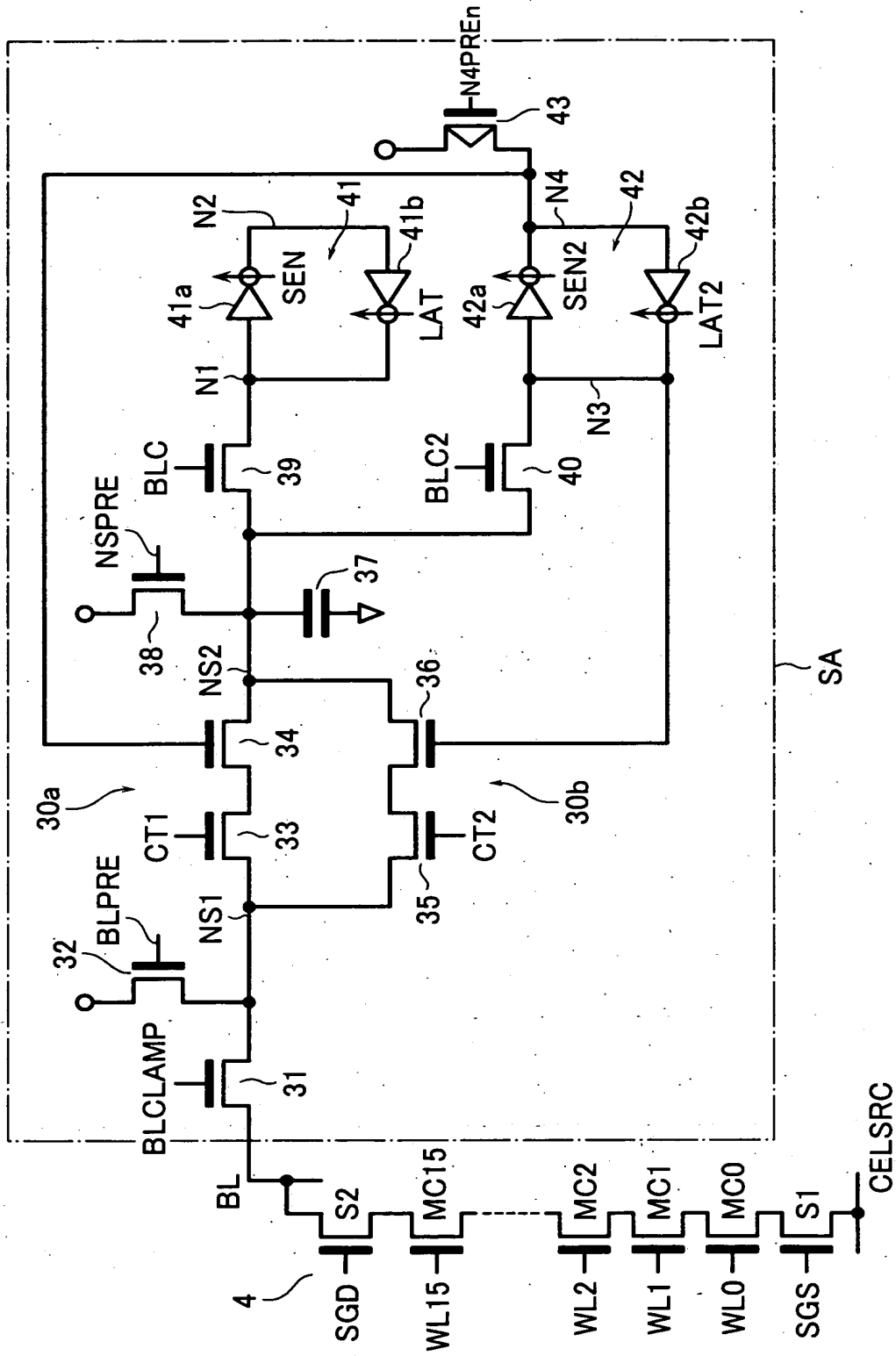
【図 2】



【図 3】

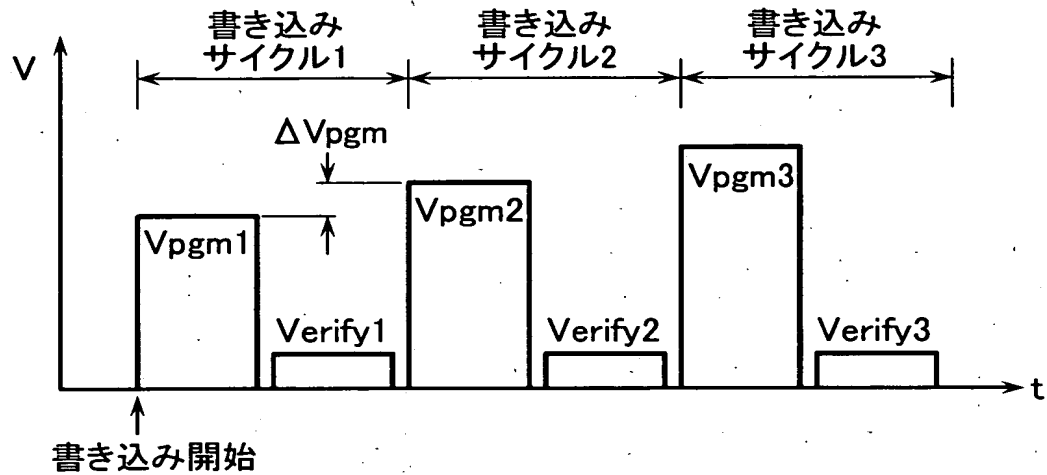


【図 4】

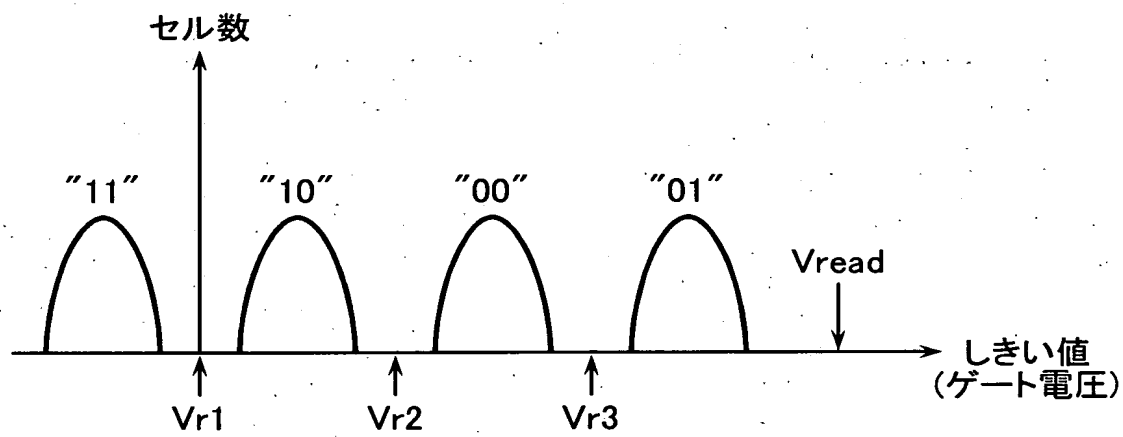




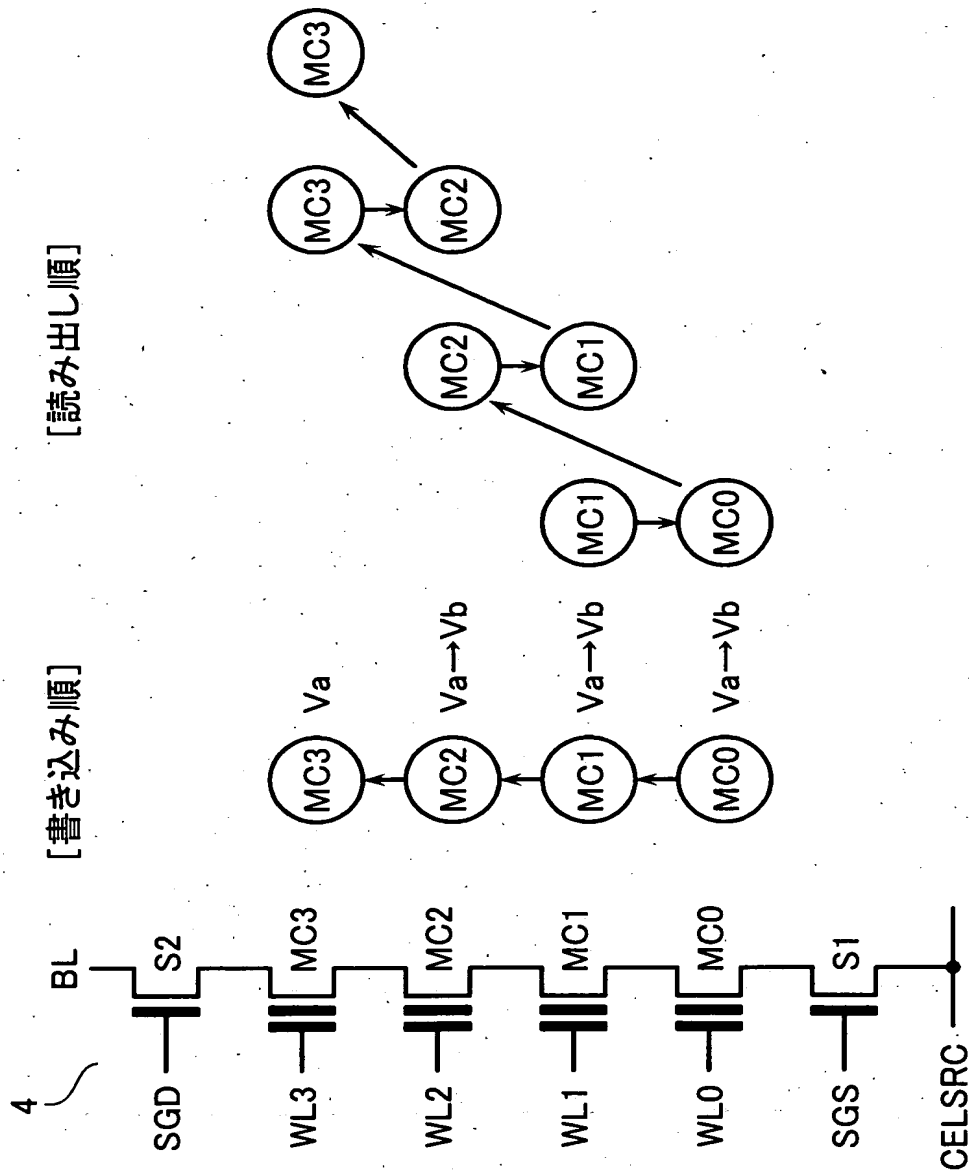
【図5】



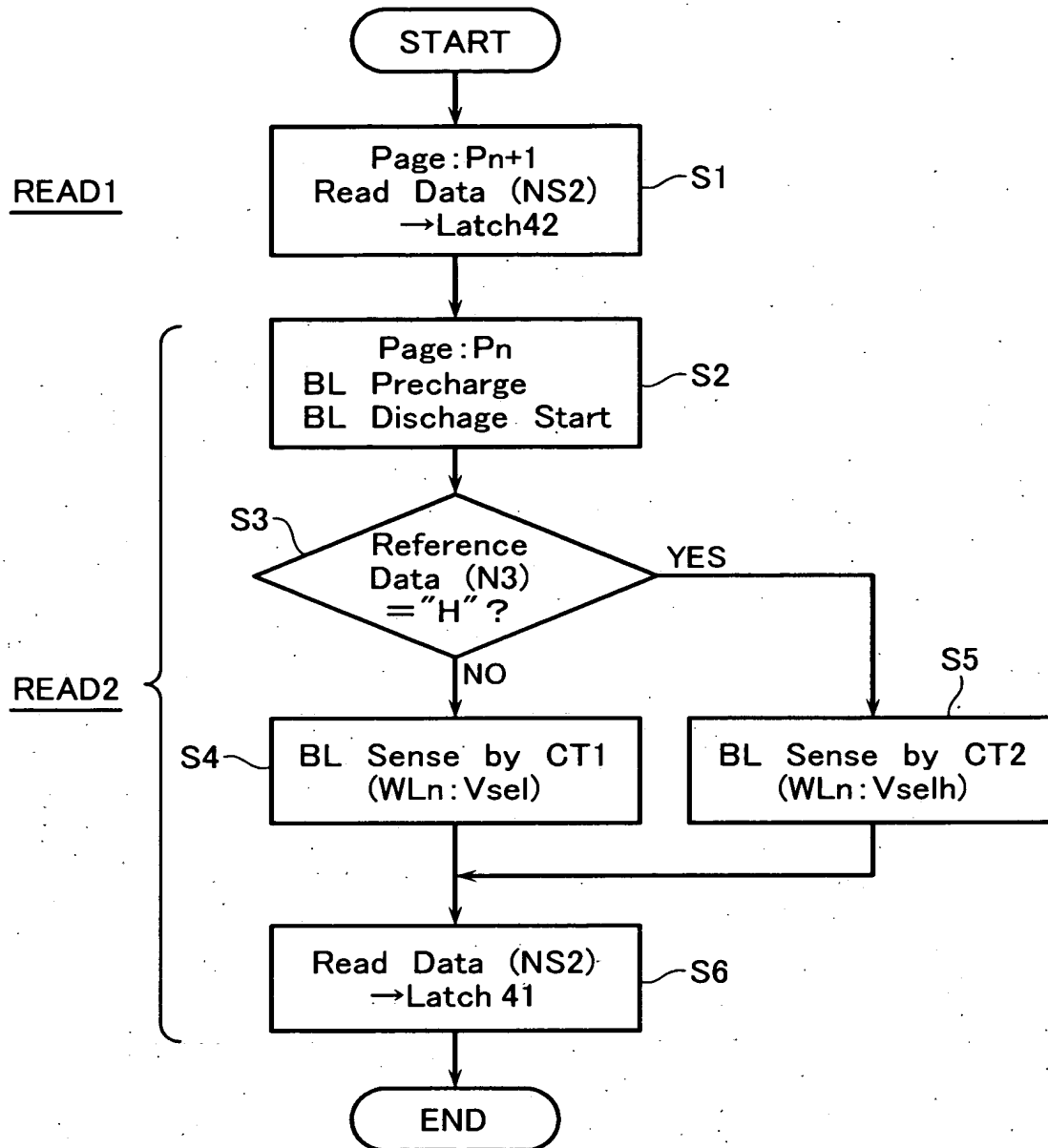
【図6】



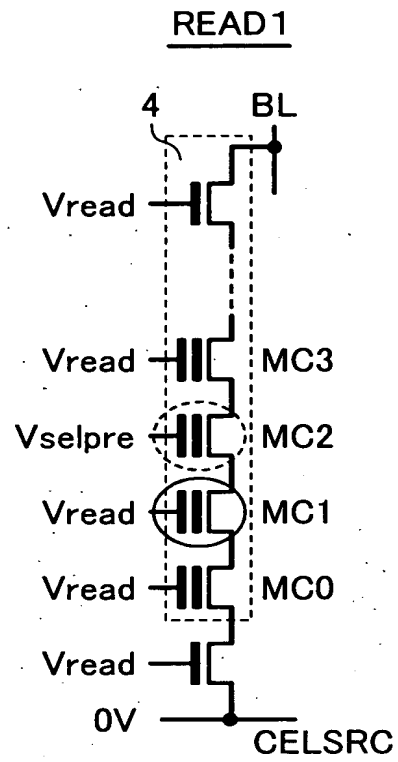
【図 7】



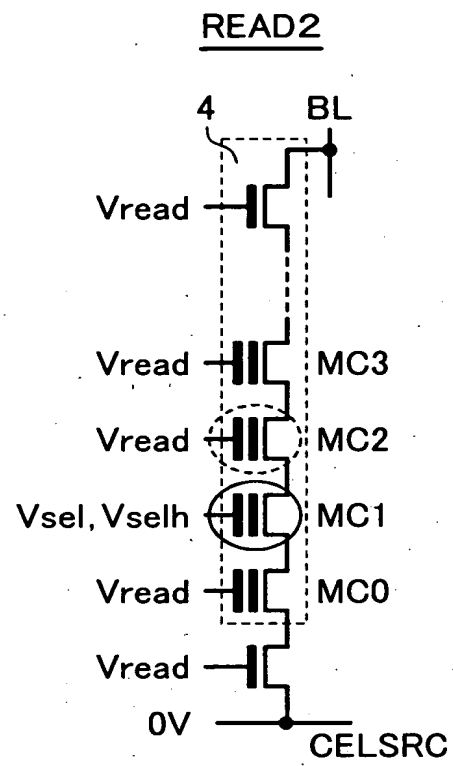
【図 8】



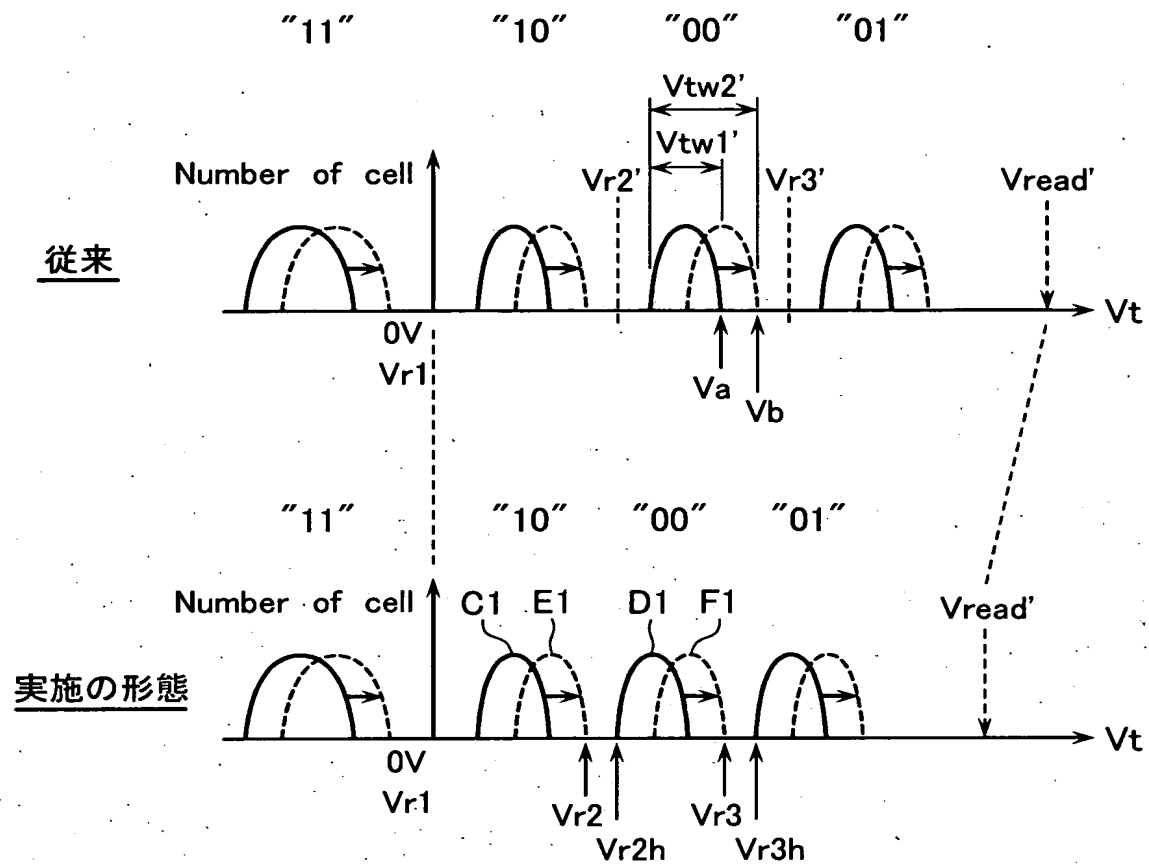
【図 9 A】



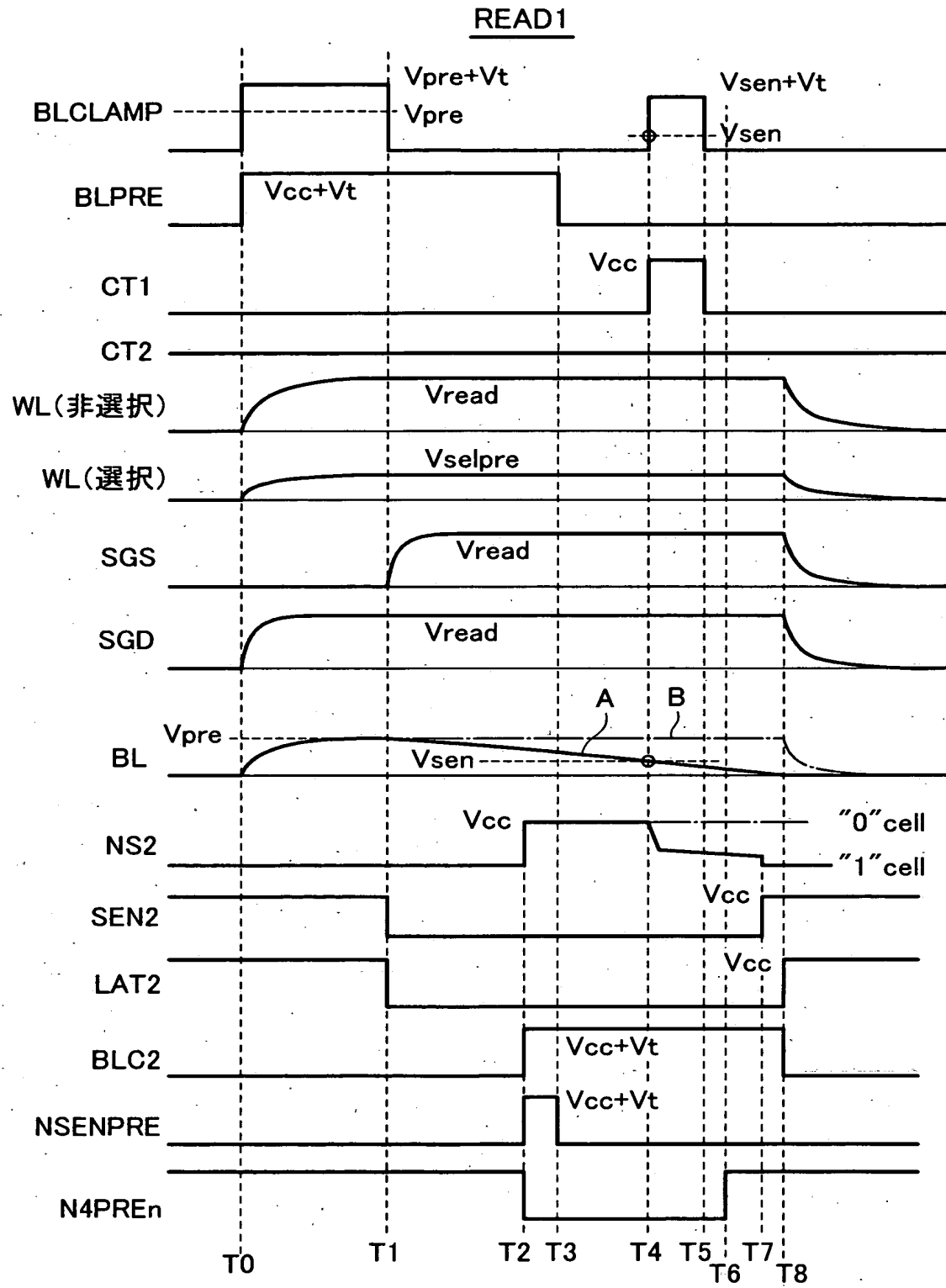
【図 9 B】



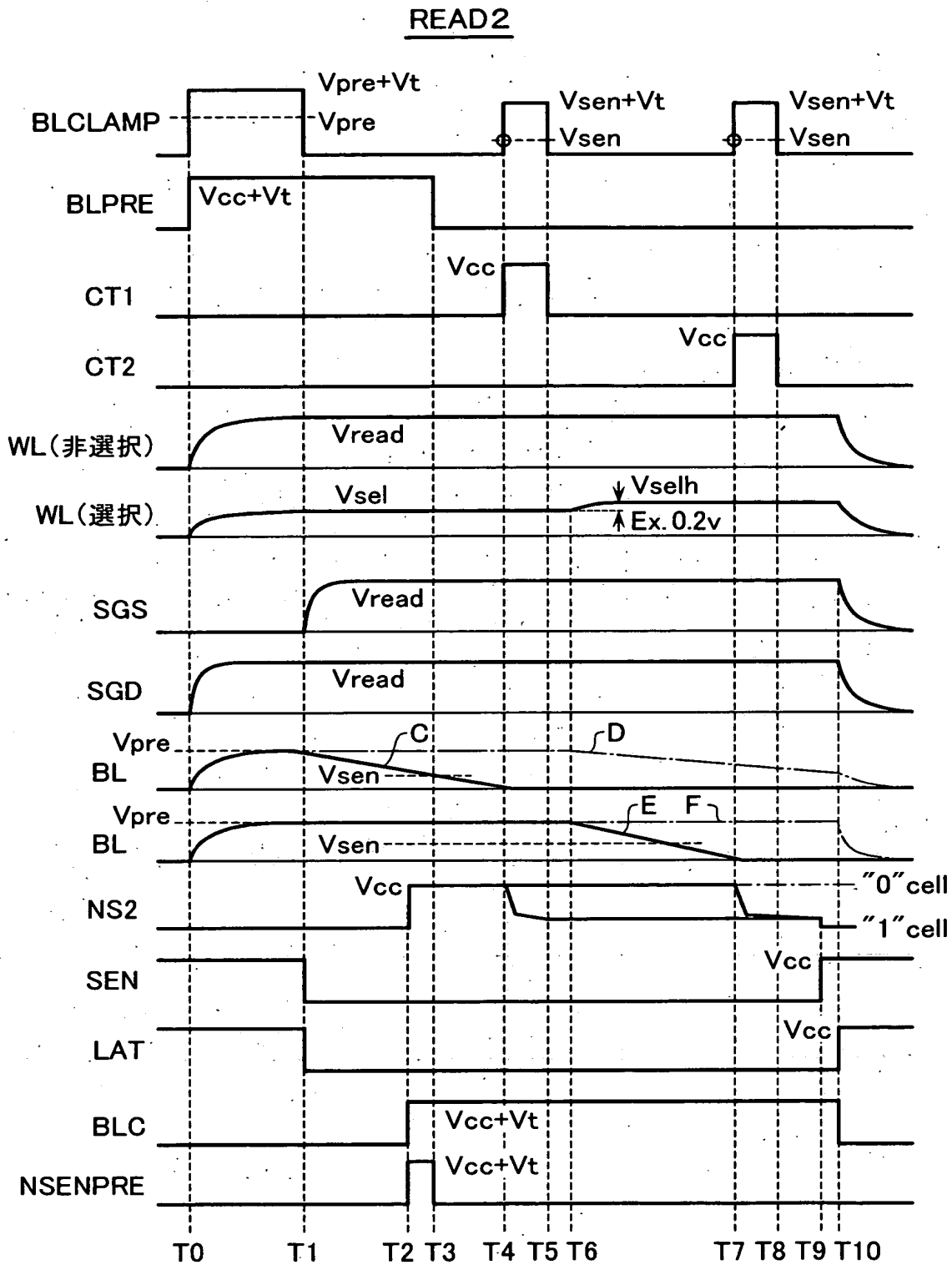
【図 10】



【図 11】

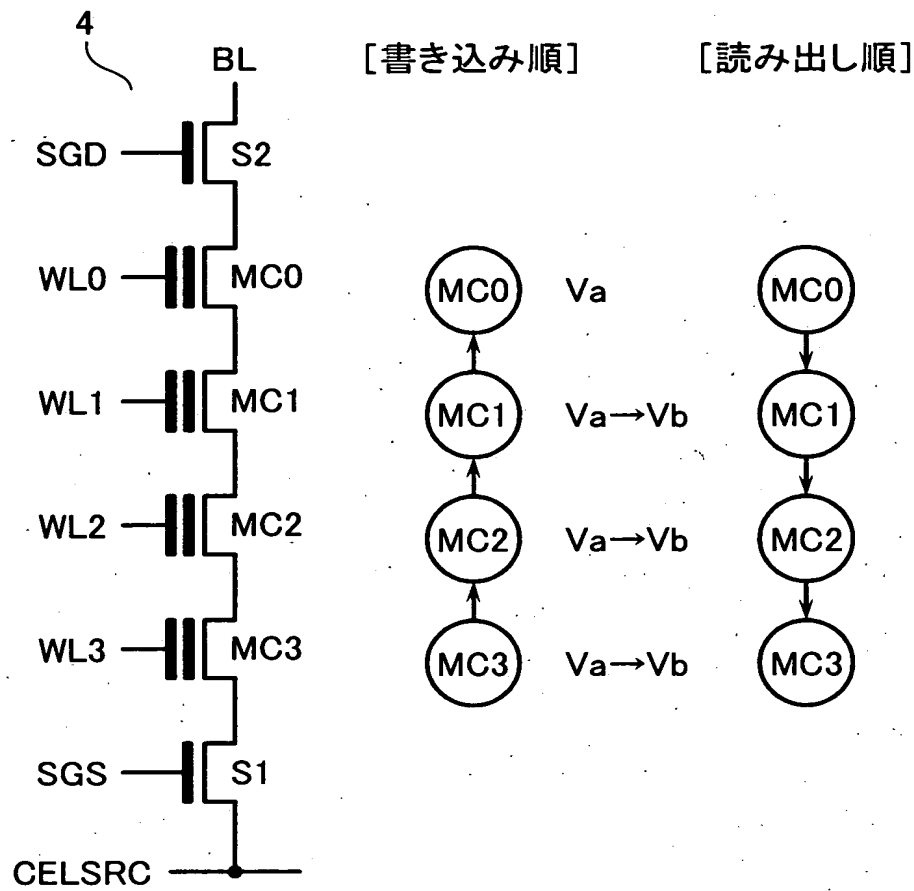


【図 12】

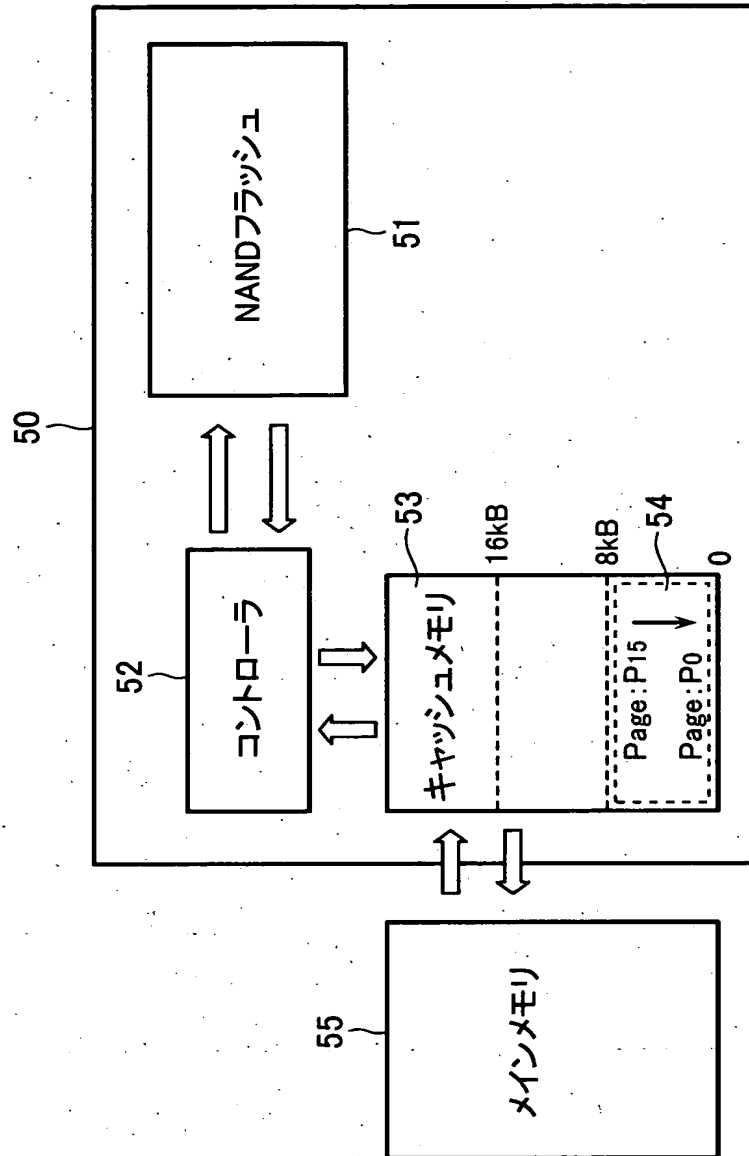




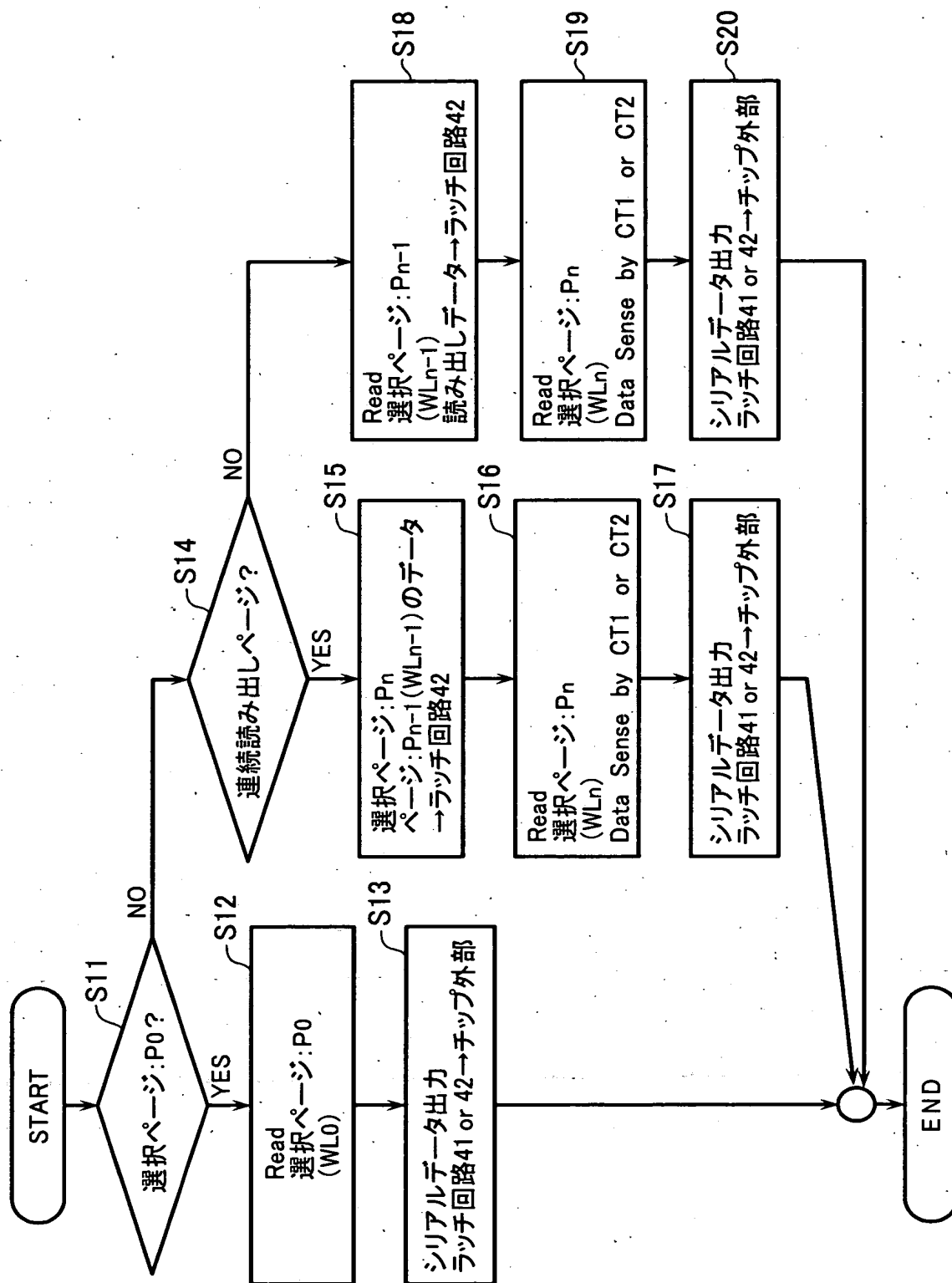
【図 1 3】



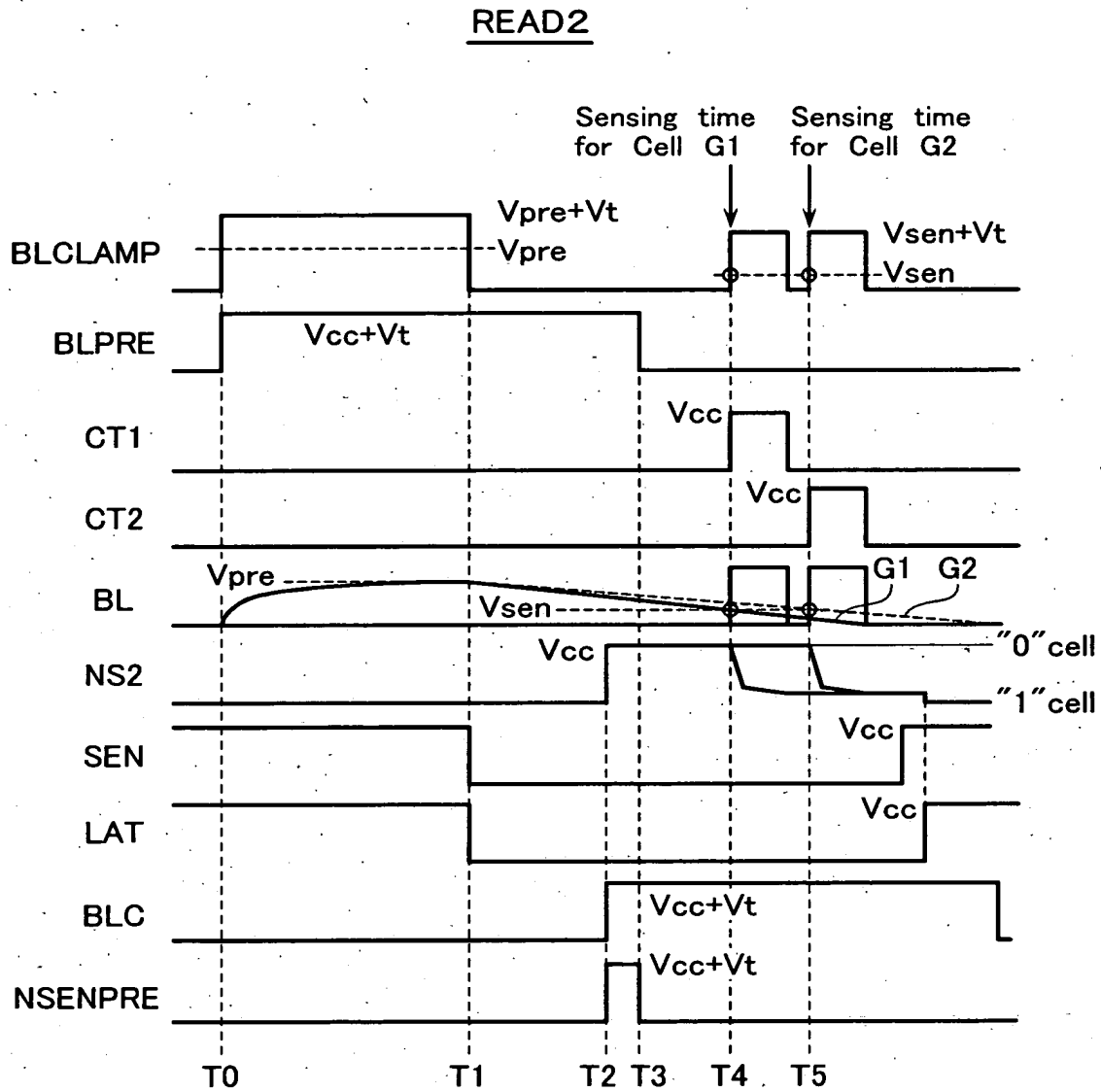
【図 14】



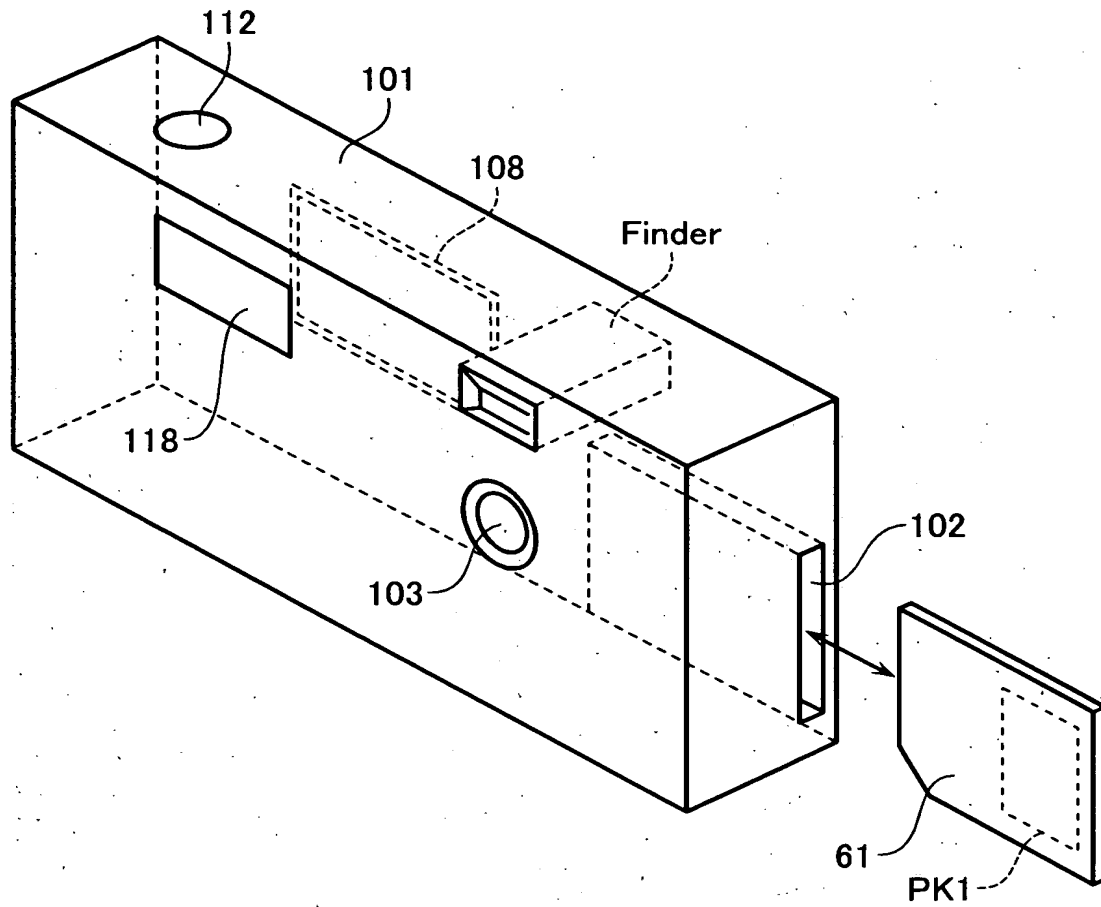
【図 15】



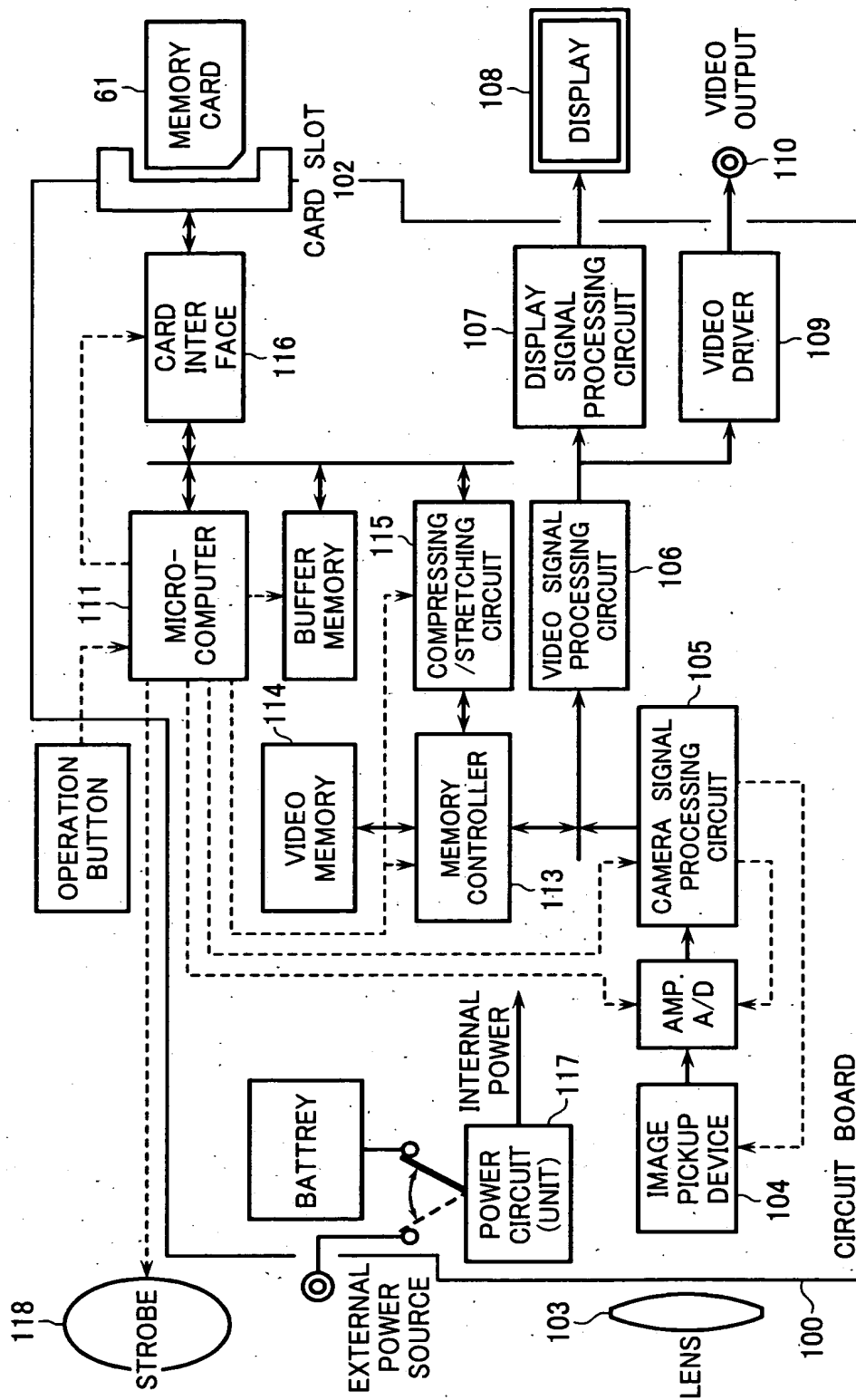
【図 16】



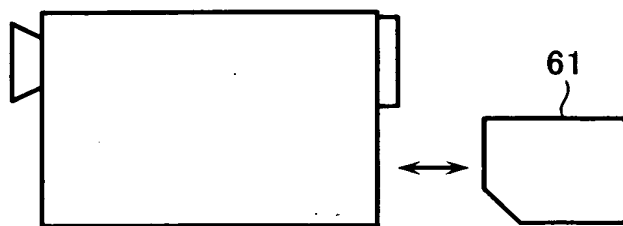
【図 17】



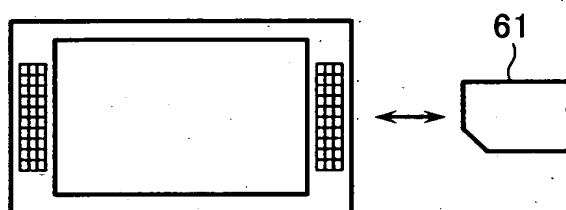
【图 18】



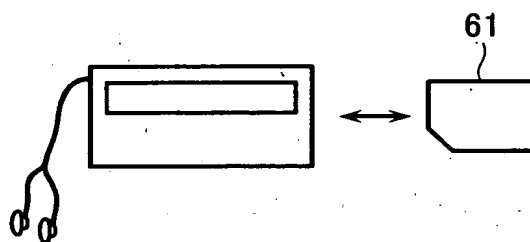
【図 1 9 A】



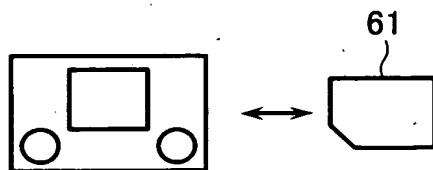
【図 1 9 B】



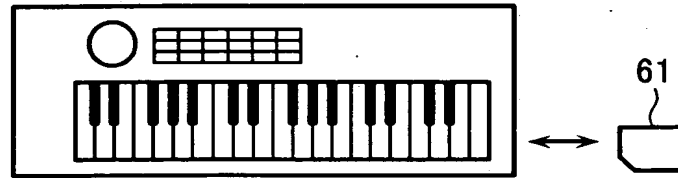
【図 1 9 C】



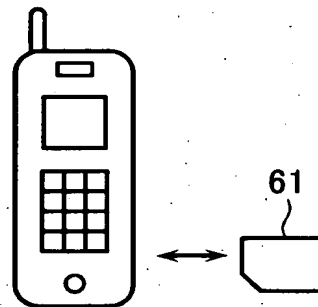
【図 1 9 D】



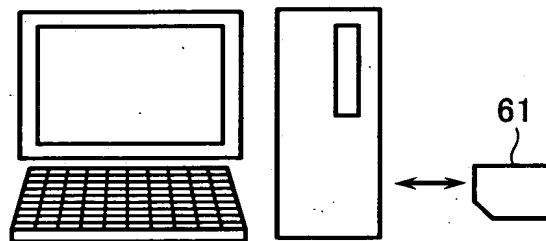
【図 1 9 E】



【図 1 9 F】

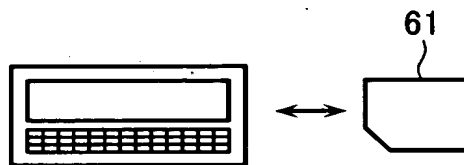


【図 1 9 G】

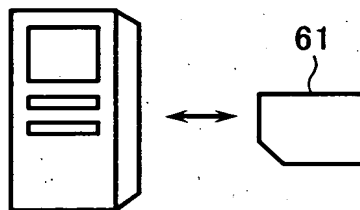




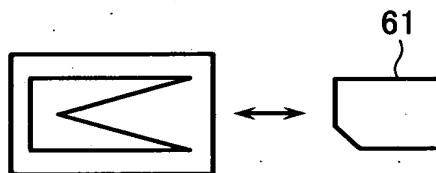
【図 1 9 H】



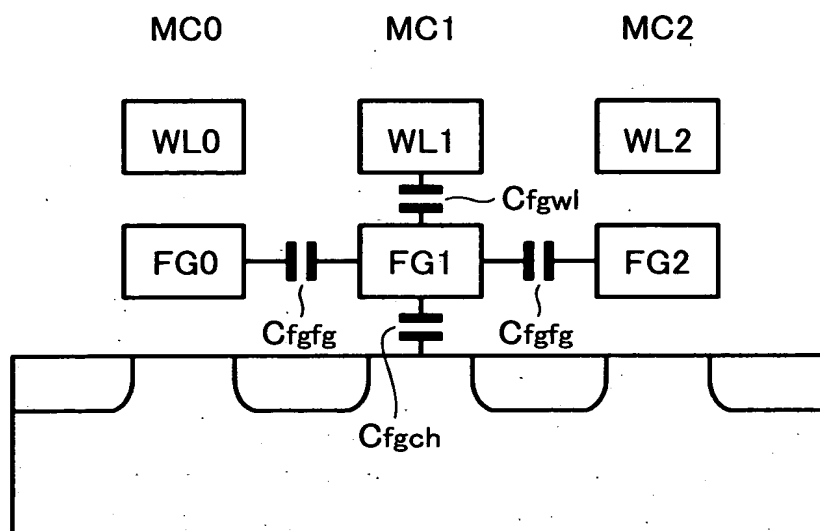
【図 1 9 I】



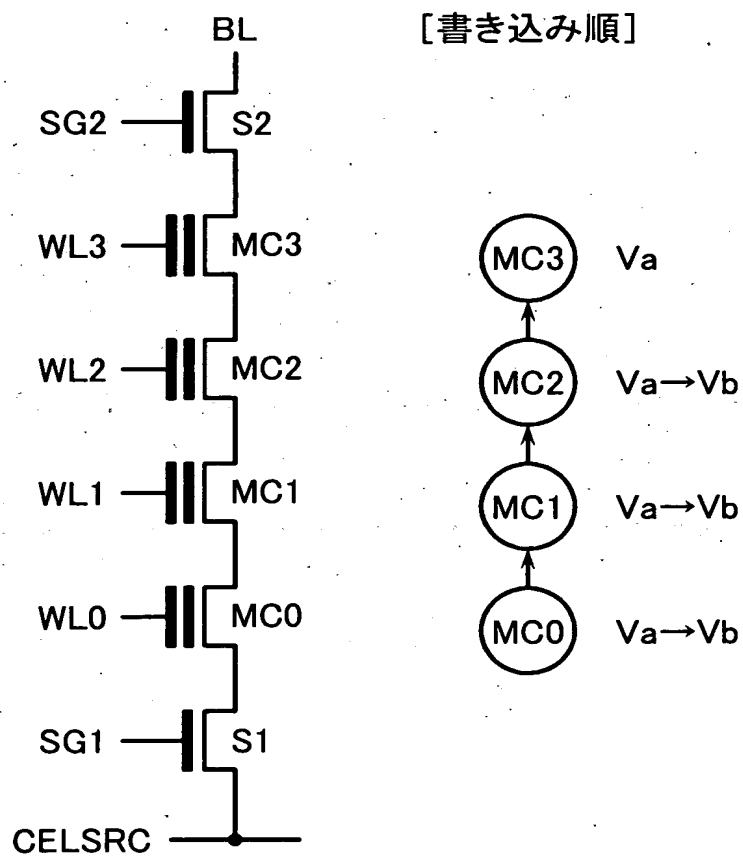
【図 1 9 J】



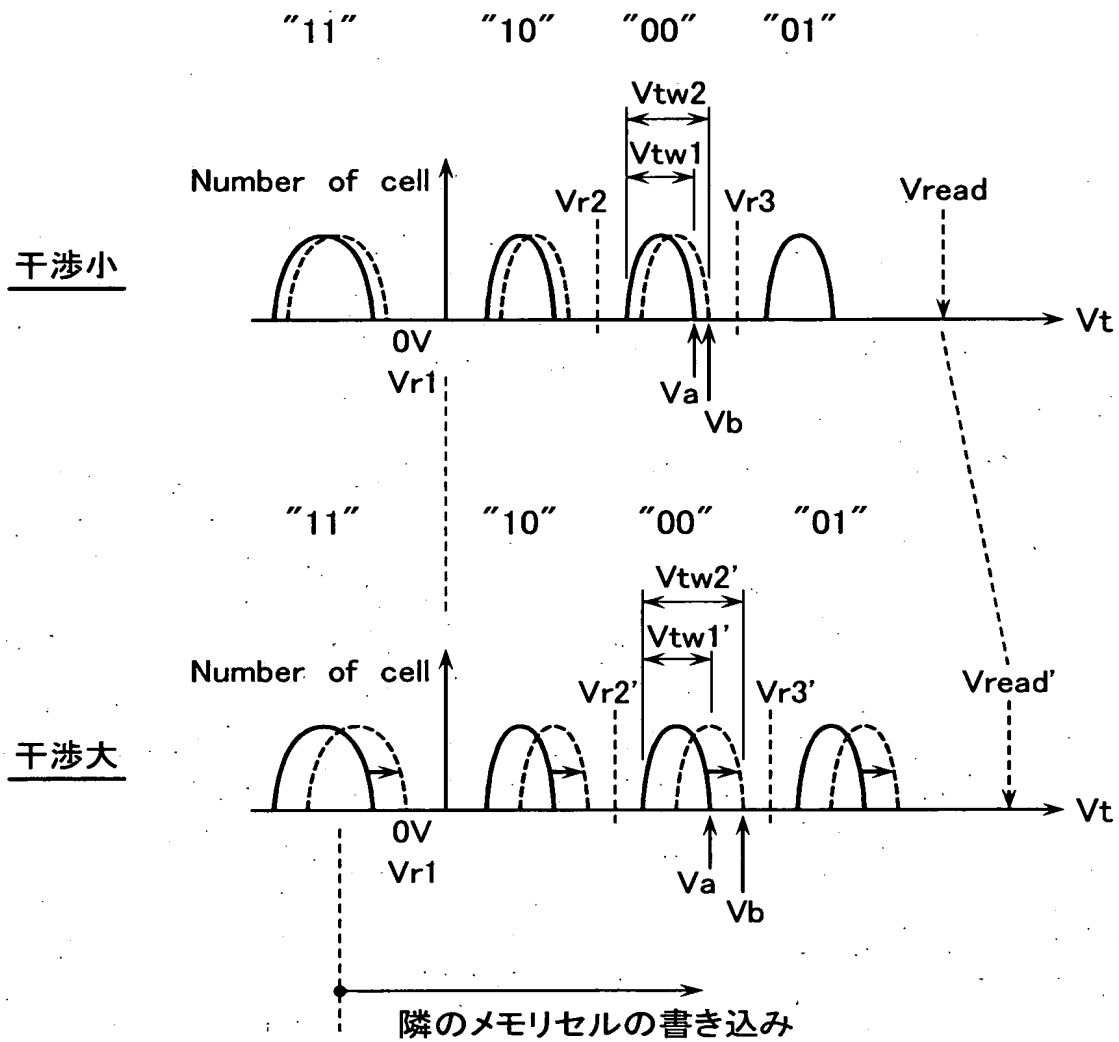
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 隣接メモリセル間の干渉の影響を低減した不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、電氣的書き換え可能な浮遊ゲート型メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うための複数のセンスアンプ回路とを有し、前記各センスアンプ回路は、前記メモリセルアレイから選択された第1のメモリセルについて、これに隣接し且つこれより後にデータ書き込みがなされる第2のメモリセルのデータに応じて決まる読み出し条件下でセルデータをセンスするように構成されている。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝